

## CONCEPTION, STRUCTURE ET TECHNIQUES DE MISE EN OEUVRE DES CIRCUITS INTEGRES LOGIQUES

L'objectif de cet ouvrage est l'étude des technologies des circuits intégrés logiques- Nous étudierons la conception des portes élémentaires, Inverseur, Nand, Nor ... et nous nous efforcerons de comprendre les choix qui ont été faits par les concepteurs.

Nous déduirons de la structure interne des opérateurs étudiés les techniques les plus rationnelles d'utilisation qui s'appliqueront alors à tous les circuits de même technologie quelle que soit leur complexité.

### I - CONCEPTION DES CIRCUITS INTEGRES

Cet ouvrage portera uniquement sur les circuits monolithiques, c'est à dire les circuits réalisés sur un unique morceau de semi-conducteur. Par opposition, les circuits hybrides sont des assemblages de puces de circuits intégrés, de puces de composants discrets - transistors, diodes - de condensateurs et de résistances sur une plaquette de céramique, ne sont pas étudiés dans cet ouvrage.

#### I - 1 - Rappels sur la jonction PN

##### I - 1 - 1 - Atomes, liaisons atomiques

Un atome est la plus petite parcelle d'un corps pur, il est composé d'un noyau constitué de protons, qui contiennent les charges positives, et de neutrons. Autour du noyau, gravitent les électrons en nombre égale aux protons qui contiennent les charges négatives. Les charges négatives des électrons et positives des protons s'égalent aussi l'atome est électriquement nul. Lorsque l'atome capte un électron supplémentaire on constate alors un surcroît de charges négatives, il est alors ionisé négativement. Au contraire lorsque l'atome perd un électron, il est alors ionisé positivement.

Les électrons gravitent sur des couches la première couche est complète à 2 électrons, la seconde l'est à 8, puis la troisième à 18 la suivante à 28 etc...Un atome se trouve dans un état particulièrement stable lorsque sa couche périphérique ou couche de valence est complète ou comporte 8 électrons.

**Cette loi va régir en grande partie** le comportement chimique des atomes. Ainsi un atome possédant une couche atomique complète et une couche périphérique ne comportant qu'un électron verra cet électron très peu lié à l'atome, le moindre apport d'énergie permettra à cet électron de se détacher de l'atome. Un atome comportant sur sa couche périphérique 7 électrons (valence 7) tendra à capter tout électron passant à proximité de son orbite ou éventuellement s'associera avec un autre atome de valence 1 afin de compléter à 8 sa couche périphérique.

Les associations d'atomes divers pour former une molécule d'un corps composé ou de même nature pour former un corps pur sont basées sur ces règles simples.

##### I - 1 - 1 - 1 - Les gaz rares

Les gaz rares sont des corps dont les atomes ont soit leur couche de valence. complète , l'Hélium par exemple, ou leur couche de valence à 8 (en fait tous les autres, Argon, Xénon, Krypton etc ... ). Ces corps sont particulièrement stables, et se comportent comme des isolants. Lorsqu'on veut les faire traverser par un courant électrique, les électrons étant très liés aux atomes, il faudra leur fournir une énergie importante par exemple sous la forme d'un champ électrique intense. Lorsque les atomes retrouvent leurs électrons , ils restituent l'énergie fournie sous la forme d'un photon. La fréquence du photon dépend de l'énergie restituée, elle est donnée par la relation:

$$E = h V$$

avec E énergie en Joules, h constante de Plank  $6,625 \cdot 10^{-34}$  joules et V la fréquence en Hertz du photon.

La longueur d'onde du photon est donnée par  $\lambda = \frac{C}{V}$

où C est la célérité (vitesse ) de la lumière  $3 \cdot 10^8$  ms Ainsi un photon émis dans le spectre visible  $0,5 \mu\text{m}$  correspond à une restitution d'énergie d'environ  $40 \cdot 10^{-32}$  joules. Un exemple de cette émission est donné par la lampe à éclairs de nos flashes photographiques.

##### I - 1 - 1 - 2 - Les liaisons métalliques

Les métaux sont des corps qui ne possèdent qu'un seul ou deux électrons de valence, les atomes s'associent en libérant cet ou ces électrons. L'ensemble des électrons libérés constitue "le nuage atomique" qui assure la cohésion des atomes. Ces électrons n'étant pas liés aux atomes, sont sensibles au champ électrique. Le moindre champ électrique crée un déplacement des charges électriques c'est à dire un courant électrique. Les heurts des électrons au cours de leur déplacement avec les autres électrons ou avec les atomes constituent la résistance électrique ces chocs sur les atomes sont fréquents car ceux-ci sont ionisés positivement et attirent les électrons libres. Le libre parcours moyen des électrons est faible. Ainsi, plus la température est élevée, plus les atomes sont animés de mouvements vibratoires, plus la probabilité de choc devient grande, plus la résistance du corps est élevée. De même, plus la structure cristalline du corps est régulière, plus la résistance est faible. Un alliage métallique est toujours plus résistant que les corps purs qui le composent.

La conductibilité électrique est donnée par la formule:  $\sigma = n \cdot q \cdot \mu$   
dans laquelle :

$n$  est le nombre de porteurs de charge par unité de volume  
 $q$  la charge électrique de chacun d'eux

$\mu$  la mobilité des porteurs  $\mu = \frac{q\tau}{m}$

que l'on peut décomposer en deux éléments:

-  $\frac{q}{m}$  est la **faculté d'accélération** (soumise à une tension E, la force qui s'exerce sur une particule

ionisée de charge q est  $F=q \cdot E$  et l'accélération de la particule soumise à cette force est  $\gamma = \frac{F}{m}$  cependant m n'est pas exactement la masse de la particule mais sa masse effective qui dépend de l'interaction des différents champs dans la matière. Par exemple, dans le silicium la masse effective de l'électron est 0,97fois la masse réelle alors que dans l'AsGa celle-ci est 0,068 fois la masse réelle d'où une **mobilité près de 15 fois supérieure**.

-  $\tau$  la **constante de temps de relaxation** des porteurs. Un électron animé d'une vitesse V, en l'absence d'excitation va retomber à la vitesse 0 suivant une loi exponentielle de constante de temps  $\tau$  de l'ordre de 0,1 ps. Une augmentation de la température diminue ce temps qui dépend également de la neutralité des atomes, de l'ordonnement du réseau atomique et aussi de la rareté des porteurs. En effet plus le nombre de porteurs est grand, plus la probabilité de choc devient importante et donc plus la perte de vitesse est rapide.

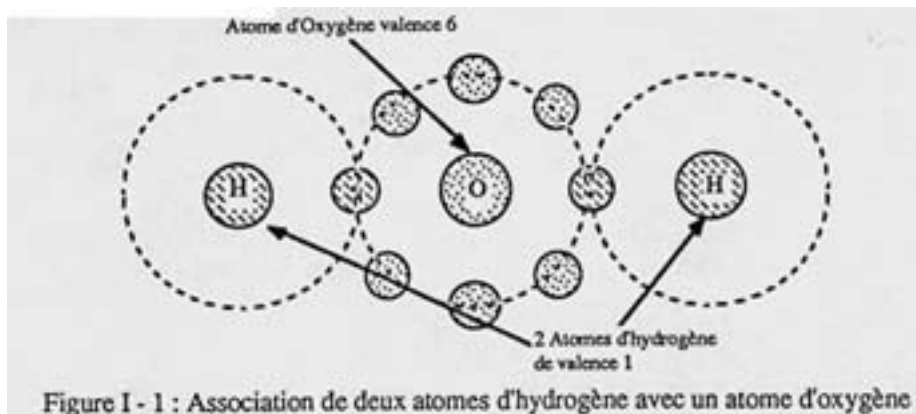
La conductibilité des métaux est grande surtout en raison du grand nombre de porteur

Pour l'aluminium à la température ordinaire la conductibilité est voisine de  $3,5 \cdot 10^7 \Omega m^{-1}$  ce qui donne une résistivité de  $2,8 \cdot 10^{-8} \Omega m$  la mobilité est de l'ordre de  $0,05 m^2 V^{-1} s^{-1}$  et la concentration  $4,38 \cdot 10^{27}$

### 1 - 1 - 3 Les liaisons ioniques

L'oxygène qui possède 6 électrons de valence va s'associer à 2 atomes d'hydrogène, de valence 1, afin de compléter sa couche périphérique à 8 pour former une molécule d'eau  $H_2O$

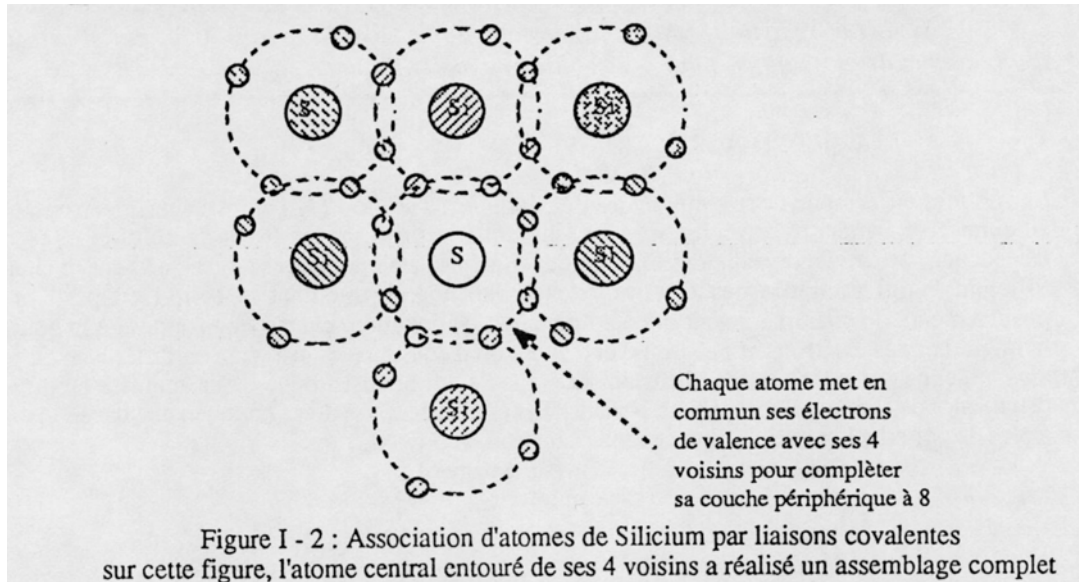
On pourra casser cette molécule d'eau à l'aide d'un champ électrique ( électrolyse ) mais l'oxygène conservera les électrons de l'hydrogène. Les atomes d'oxygène ionisés négativement seront attirés par l'anode (pôle +) et les atomes d'hydrogène ionisés positivement seront attirés par la cathode (pôle -) d'où le nom de liaisons ioniques



Les monocristaux ioniques sont généralement des isolants parmi ceux-ci le Chlorure de Sodium NaCl (le sel de cuisine) qui associe un atome de sodium (Na) de valence 1 à un atome de Chlore (Cl) de valence 7 ou l'alumine  $Al_2O_3$  (le saphir) dans lequel deux atomes d'aluminium (Al) de valence 3 se lient avec trois atomes d'Oxygène (O) de valence 6.

#### I - 1 - 1 - 4 - Les liaisons covalentes

Le Carbone, le Silicium, le Germanium possèdent 4 électrons de valence. Ils vont lors de la formation de cristaux s'associer avec 4 atomes voisins, mettant en commun chacun un électron de valence afin que chacun complète sa couche périphérique à 8 électrons. Ce sont les liaisons covalentes.



Les cristaux ainsi réalisés sont d'une grande stabilité (le diamant est un cristal de carbone) et les électrons solidement liés aux atomes, ils se comporteront comme des isolants.

#### I - 1 - 2 - Les semi-conducteurs

Les semi-conducteurs tels que le Germanium et le Silicium sont des corps de valence 4 dont les atomes s'associent par liaisons covalentes. Ils se comportent comme des isolants. Cependant l'énergie nécessaire pour libérer un électron n'est pas très importante aussi on pourra trouver quelques porteurs de charge d'origine thermique à la température ambiante.

La résistivité du Silicium dit intrinsèque, c'est à dire non dopé est très grande:  $2,3 \cdot 10^3 \Omega m$  si nous la comparons à celle de l'aluminium  $2,8 \cdot 10^{-8} \Omega m$ .  
(voir la page 5 quelques rappels théoriques)

##### I - 1 - 2 - 1 - Le Silicium dopé "N"

Si nous introduisons dans du Silicium pur des atomes d'impureté (ou dopant) de dimensions voisines mais de valence 5. Nous nous trouvons en présence d'un corps qui va comporter pour chaque atome d'impureté un électron qui n'aura pas été utilisé dans la réalisation des liaisons covalentes et qui se trouvera très peu lié à l'atome. Cet électron sera sensible aux champs électriques et tendra à rendre le silicium conducteur de l'électricité.

De toute évidence, la conductibilité du Silicium dépendra de la concentration en dopant. Le Silicium est rendu conducteur à l'aide des charges négatives mobiles d'où le nom de **Silicium N**

##### I - 1 - 2 - 2 - Le Silicium dopé "P"

Si les impuretés introduites dans le Silicium ne comportent que 3 électrons de valence, à chaque atome d'impureté correspondra une liaison à 7 électrons. Cette liaison afin de trouver sa stabilité sera prête à accueillir un électron. Nous sommes en présence d'accepteurs d'électron ou de trous.

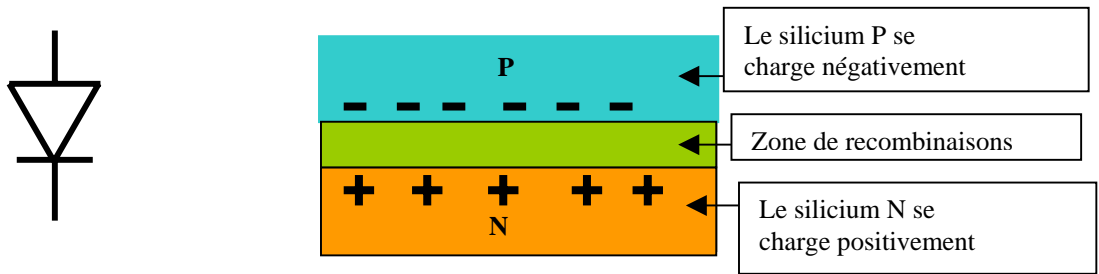
Dans cette structure, lorsqu'un électron, à la suite d'un apport d'énergie, se libère, il peut être capté par l'accepteur créant ainsi un trou à un autre endroit. Il se produit un déplacement apparent des trous. Si le Silicium ainsi dopé est

soumis à un champ électrique, un électron qui se libère aura tendance à migrer vers l'anode et par conséquent les trous vers la cathode. Les trous ont ainsi un comportement apparent de charges positives d'où le nom de Silicium P

L'introduction d'un atome de dopant "N" pour  $10^8$  atomes de silicium porte le nombre de donneurs à  $5 \cdot 10^{14}$  par  $cm^3$  et la conductivité à  $0,12 (\Omega cm)^{-1}$  ( $12 (\Omega m)^{-1}$ ) soit une résistivité de  $0,083 \Omega.m$  à rapprocher de la résistivité intrinsèque  $2,3 \cdot 10^3 \Omega m$  et de celle de l'aluminium  $2,8 \cdot 10^{-8} \Omega m$ . La résistivité du silicium est donc divisée par 30 000 par l'introduction d'un atome de dopant N pour  $10^8$  atomes de silicium.

**I - 1 - 3 - La jonction PN**

Si l'on met en contact deux morceaux de Silicium , l'un dopé N l'autre P, les électrons libres du silicium N vont tendre à migrer vers le Silicium P attirés par les trous de celui-ci et vice versa. Cependant, les deux morceaux de Silicium qui au départ étaient neutres électriquement se chargent, le Silicium P qui accueille des électrons se charge négativement et le N qui en perd se charge positivement. Un champ apparaît donc au niveau de la jonction, champ qui s'oppose à la poursuite de la migration des électrons et des trous, une situation d'équilibre va se créer. La différence de potentiel ainsi obtenue est la tension de diffusion. Lorsque l'équilibre est trouvé, nous sommes en présence de deux zones de silicium dopées, l'une N l'autre P, conductrices, séparées par une zone dans laquelle il n'y a plus de porteurs libres, dite zone de recombinaison, non-conductrice.



**Fig 1-3 La jonction P-N - La diode**

A priori, l'élément ainsi constitué ressemble plutôt à un condensateur, deux zones conductrices séparées par une zone isolante. Cependant, cette jonction soumise à un champ électrique va se comporter différemment suivant le sens du champ.

Si le champ appliqué renforce le champ naturel de diffusion ( + sur N et - sur P) l'opposition au passage des électrons n'en sera que plus forte, le courant ne passe pas. Il pourra s'en suivre éventuellement une variation de la capacité due à la variation de l'épaisseur de la zone de recombinaison.

On se rappelle la formule du condensateur:

$$C = \frac{\epsilon \cdot S}{e}$$

- Avec C capacité en Farad
- ε pouvoir inducteur du diélectrique
- S surface des armatures en m2
- e épaisseur du diélectrique

Si le champ appliqué est en sens contraire du champ naturel, dès que le premier devient supérieur au second, électrons et trous peuvent reprendre leur migration, un courant électrique apparaît.

Lorsqu'on inverse la polarité du champ appliqué à la jonction alors qu'un courant circulait dans celle-ci, avant que la diode se bloque, les charges libres doivent quitter la zone de recombinaison. Le temps de blocage dépend de la quantité de ces charges à évacuer (fonction du courant qui passait précédemment) et de la vitesse d'évacuation des charges qui est fonction des matériaux employés et, également, de la structure de la jonction. Il peut découler de ces paramètres qu'une diode se bloque plus rapidement qu'une autre selon la façon dont elle a été conçue et s'applique mieux à une utilisation qu'à une autre.

La diode va donc se comporter qu'elle soit polarisée en direct ou en inverse comme une diode parfaite associée en parallèle avec un condensateur

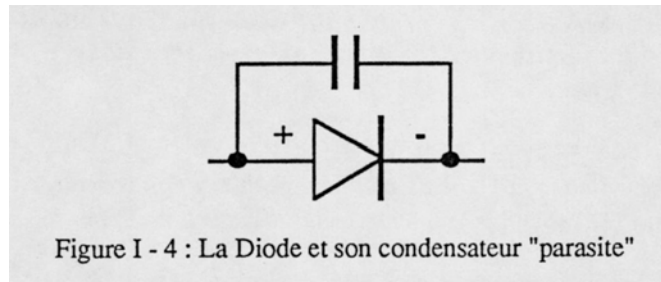


Figure I - 4 : La Diode et son condensateur "parasite"

Ce condensateur est différent suivant le sens de polarisation, en direct il apparaîtra comme un condensateur de forte valeur puisqu'il recevra des charges en quantité importante sans que le potentiel monte (  $Q=CU$  ), en inverse la tension pourra croître jusqu'à la tension de claquage de la diode, cependant la capacité pourra varier en fonction de la tension appliquée. Notre but n'est pas de chiffrer avec précision la valeur du condensateur mais plutôt d'en connaître son existence et d'en tenir compte lors de la conception du schéma.

Ainsi pour qu'une tension inverse apparaisse aux bornes d'une diode, il faut que la capacité de jonction se charge et la vitesse de charge dépendra de la conception du circuit.

Améliorer le temps de montée ou de descente d'un signal, reviendra, fréquemment, à diminuer les constantes de temps des circuits de charge et de décharge des condensateurs parasites des jonctions.

Polarisée en inverse la jonction laisse cependant passer un courant très faible dont l'intensité  $I_s$  ne dépend pas de la tension appliquée **mais seulement de la surface de la jonction, de la concentration en porteurs et de la température** (7% par °C expérimentalement). Le courant est créé par l'apparition de paires électrons-trous d'origine thermique qui apparaissent dans la zone de recombinaison. Ces charges sont accélérées par la tension de diffusion. Ce courant appelé courant inverse de saturation, noté  $I_s$ , est utilisé dans l'équation du courant direct comme coefficient de proportionnalité

$$I_d = I_s \left( e^{\frac{V_d}{\eta k T}} - 1 \right)$$

équation dans laquelle:

$I_s$  est le courant de saturation inverse de  $10^{-17}$  à  $10^{-9}$  A (selon les dimensions de la jonction et les concentrations en dopant)

$\eta$  est un coefficient compris entre 1,3 et 2 aux courants usuels

$kT$  tension équivalente de la température à 293K (20°C) =  $293 \cdot 0,86 \cdot 10^{-4}$  (page 5)  
=  $25,2 \cdot 10^{-3}$  V (- 25mV) (développé page 5)

à titre d'exemple quelques diodes silicium du commerce (calculs à 27°C):

Référence	Courant nominal	$I_s$	$V_d$ pour $I_f = 1mA$	$C_j$
Diode asic VTC*	qq $\mu A$	$1,26 \cdot 10^{-17} A$	1,2 V	0,06pF
1N459	3 mA	$0,85 \cdot 10^{-9} A$	0,72 V	4,4 pF
1N4148	100 mA	$2,6 \cdot 10^{-9} A$	0,6 V	1,2 pF
1N4004	1 A	$11,2 \cdot 10^{-9} A$	0,57 V	26,0 pF
1N5406	3 A	$55,6 \cdot 10^{-12} A$	0,59 V	127,0 pF
MR760	100 A	$2,6 \cdot 10^{-9} A$	0,48 V	366,0 pF

\* Nous donnons ici les caractéristiques d'une diode implantée dans les ASICs analogiques VTC qui peuvent traiter des signaux à 800 MHz et des courants de quelques micro-ampères

La thermodynamique nous apprend que, lorsqu'un ensemble de particules, atomes, molécules, ions, est en équilibre thermique, le nombre de particules  $N_i$  qui occupent l'état d'énergie  $E_i$  est donné statistiquement par la formule :

$$N_i = A e^{\frac{-E_i}{kT}}$$

Dans laquelle:

$k$  est la constante de Boltzmann  $1,38 \cdot 10^{-23} \text{ J.K}^{-1}$

(Constante des gaz parfaits  $R = 8314 \text{ JK}^{-1}$  divisée par le nombre d'Avogadro  $= 6,022 \cdot 10^{23}$ )

$T$  est la température en Kelvin ( **$kT$  est l'énergie d'agitation thermique**)

$A$  est un coefficient qui devra satisfaire la condition :

$\sum_i N_i = N$ , Nombre de l'ensemble des particules susceptibles d'occuper ce niveau

Le terme  $e^{\frac{-E_i}{kT}}$  est appelé facteur de Boltzmann

Le rapport  $\frac{N_i}{N}$  représente la probabilité pour qu'une particule soit dans l'état  $i$

L'énergie nécessaire pour libérer un électron et ainsi créer un électron libre et un accepteur d'électron, que l'on appellera trou, (on dira énergie nécessaire pour créer une paire électron-trou) est notée  $E_g$ .

$E_g = 1,1 \text{ eV}$  pour le silicium et  $0,65$  pour le germanium (l'électron volt, est l'énergie fournie à une charge de  $1,6 \cdot 10^{-19}$  Coulomb soumise à une tension de 1 volt)  $E_g = 1,1 \text{ eV}$  c'est à dire un électron accéléré par une tension de  $1,1 \text{ V}$ .

Partant de la formule ci dessus, la probabilité pour qu'une particule acquière l'énergie  $E_g$  par effet thermique est donnée par la formule:

$$P = e^{\frac{-E_g}{kT}}$$

nous voyons que  $\frac{-E_g}{kT}$  est un nombre sans dimension (énergie au numérateur comme au dénominateur) si nous

divisons numérateur et dénominateur par  $q$ , ils deviennent:  $\frac{-E_g}{q}$  et  $\frac{kT}{q}$  or  $\frac{-E_g}{kT} = \frac{-qU}{q} = -U$

le rapport  $\frac{-E_g}{kT}$  devant rester sans dimension le terme  $\frac{kT}{q}$  si nous exprimons la constante de Boltzmann en

Electron Volt  $\text{K}^{-1}$  ( $\text{eVK}^{-1}$ ) appliquée à un électron,  $\frac{kT}{q}$  est donc la tension d'accélération de l'électron

le rapport  $\frac{k}{q}$  s'exprimera en  $\text{VK}^{-1}$  ( $1,38 \cdot 10^{-23} / 1,6 \cdot 10^{-19}$ ) =  $0,86 \cdot 10^{-4} \text{ VK}^{-1}$

$T$  est la température en Kelvin

$\frac{kT}{q}$  à la température de  $300 \text{ K}$  ( $27^\circ \text{C}$ )  $\rightarrow 300 \cdot 0,86 \cdot 10^{-4} = 25,8 \cdot 10^{-3} \text{ V}$  ( $\approx 26 \text{ mV}$ ), tension que l'on appelle **Vt Tension équivalente de la température** ( $25 \text{ mV}$  à  $20^\circ \text{C}$ )

pour en revenir à la probabilité que nous voulions calculer, probabilité de génération d'une paire électron-trou par effet thermique à  $27^\circ \text{C}$  dans le **silicium**

$$P = e^{\frac{-E_g}{kT}} = e^{\frac{-1,1}{0,0258}} =$$

$$P = e^{-42,3} = 4,2 \cdot 10^{-19}$$

La probabilité est donc faible mais non négligeable si l'on considère le nombre d'atomes mis en jeu ( $5 \cdot 10^{22}$  atomes par  $\text{cm}^3$  pour le silicium)

nous aurions trouvé pour le **germanium** ( $E_g = 0,65$  pour  $1,1$  pour le silicium)

$$P = e^{-25,2} = 1,14 \cdot 10^{-11}$$

Une probabilité plus grande entraîne une résistivité intrinsèque plus faible que le silicium.

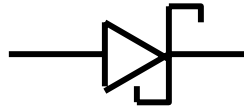
Pour le **GaAs** dont la valeur de  $E_g = 1,43$  un calcul identique nous donnerait

$$P = 8,5 \cdot 10^{-25}$$

**I - 1 - 4 - La jonction Métal – Semi-conducteur**

Il est nécessaire d'effectuer des reprises de courant sur les semi-conducteurs, ceci se fait fréquemment à l'aide d'un dépôt d'aluminium. Ce dernier se comporte comme un apport de dopant P aussi lorsque le dépôt est fait sur du Silicium N faiblement dopé on constate un phénomène de redressement. Au contraire sur du Silicium N fortement dopé ou sur du Silicium P ce phénomène de redressement n'apparaîtra pas.

Une jonction redresseuse Aluminium - Silicium N constitue une Diode Schottky dont nous avons la représentation symbolique ci dessous:

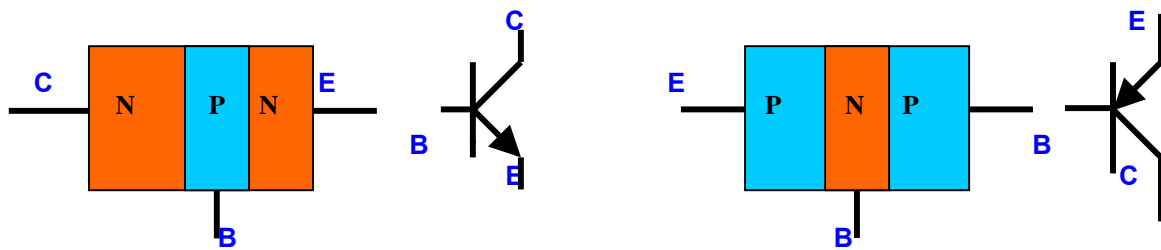


Symbole de la diode Schottky

La diode Schottky se caractérise par une tension de mise en conduction ainsi qu'une capacité parasite plus faible et une résistance dynamique ainsi qu'une vitesse de récupération plus grande que la diode ordinaire. Employée seule, la diode Schottky est utilisée pour agir sur des signaux à fréquence élevée .

**I - 2 - Le Transistor Bipolaire**

Le transistor bipolaire est constitué de trois couches de Semi-conducteur réalisant une double jonction. On trouve deux types de transistor bipolaire, NPN et PNP comme nous pouvons le voir sur la figure I - 10:



Transistor bipolaire NPN

Transistor bipolaire PNP

Fig I – 6 Transistors bipolaires

La symétrie que nous constatons dans les croquis ci-dessus n'est pas aussi parfaite qu'elle y paraît. D'une part, les régions "Emetteur et Collecteur" ne sont pas de dimensions identiques et leur teneur en impuretés, dopant, ne sont pas identiques (voir pages 15 et 20). Ils ne seront donc pas réellement réversibles.

Le croquis ci dessous est plus proche de la réalité, il schématise un transistor NPN réalisé en technologie planar. Cette technologie sera décrite dans les pages suivantes, elle signifie tout simplement "à plat" par opposition aux premiers transistors qui étaient réalisés dans un barreau (passant d'une face à l'autre du cristal).

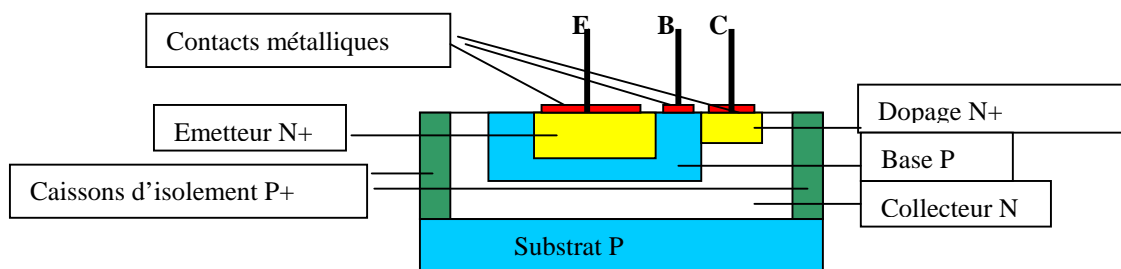


Fig I – 7 Transistor bipolaire NPN en technologie planar

Les reprises de courant sont faites par des contacts métalliques on remarquera que sur le Silicium N celles-ci se font sur des zones fortement dopées( N+) afin d'éviter le phénomène de redressement. La région émettrice est



naturellement fortement dopée, mais par contre la région collectrice qui est faiblement dopée a nécessité un renforcement du dopage à l'endroit de la connexion.

Correctement polarisé, on injecte des porteurs dans la région émetteur-base, porteurs qui seront captés en majeure partie par le collecteur. Le courant de collecteur, dans ces conditions, représente de 98 à 99,8% du courant d'émetteur, soit un courant de base 2 à 0,2% du courant d'émetteur.

Polarisé à l'envers, c'est à dire que l'on inverse les rôles entre Emetteur et Collecteur, le courant de collecteur ne représente plus que 40 à 80% du courant d'émetteur d'où un courant de base de 60 à 20% du courant d'émetteur.

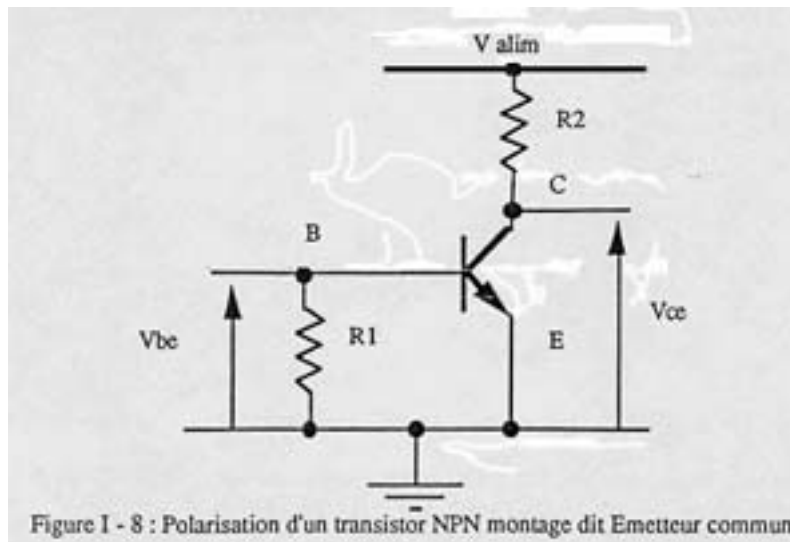
On exprime en général le courant de Collecteur en fonction du courant de Base et le coefficient qui les relie  $\beta_F$ , gain en **courant direct ( F pour Forward , direct )**

$$I_c = \beta_F I_b$$

Les valeurs courantes de  $\beta_F$  s'échelonnent entre 50 et 250 pour des transistors intégrés

Lorsqu'on inverse Émetteur et Collecteur,  $\beta_F$  devient  $\beta_R$  (R pour Reverse , à l'envers) et sa valeur est comprise entre 1 et 5 (ce qui est faible mais pas négligeable).

Le régime de fonctionnement d'un transistor peut se décomposer en trois domaines que nous illustrerons à l'aide du montage ci dessous:



### 1er Domaine: Transistor Bloqué

La tension  $V_{be}$  est nulle ou négative, le courant de base direct est nul ainsi que le courant de collecteur, il n'y a donc pas de chute de tension dans la résistance  $R_2$  ( $U=R_2 I_c$  et  $I_c=0$ ) donc  $V_{ce} = V_{alim}$ . Le transistor se comporte comme un interrupteur ouvert et la capacité de la jonction BC est chargée sous la tension  $V_{alim}$ .

### 2ème Domaine: Transistor Passant

La tension  $V_{be}$  est supérieure à la tension de déchet de la jonction ( $>0,6V$ ), le courant de base direct n'est pas nul ainsi que le courant de collecteur, une chute de tension apparaît aux bornes de  $R_2$  et  $V_{ce}$  est donné par l'équation ci dessous:

$$V_{ce} = V_{alim} - V_{R_2} = V_{alim} - R_2 I_c = V_{alim} - R_2 \beta_F I_b$$

Si  $V_{ce}$  est supérieure à  $0,6V$  et inférieure à  $V_{alim}$ , alors le transistor n'est ni saturé ni bloqué, il est dans la zone active. Ces conditions correspondent au domaine de définition du terme  $\beta_F$  qui peut alors être utilisé dans les calculs des éléments d'un circuit

### 3ème Domaine: Transistor saturé

Dans la figure I - 13 nous voyons que, quel que soit l'état du transistor, le courant maximum dans la résistance  $R_2$  est  $V_{alim}/R_2$ . Faisons croître le courant de base, le courant de collecteur croît également et s'approche de  $V_{alim}/R_2$  la



tension  $V_{ce}$  tend alors vers 0 et dans ce cas, toute variation de  $I_b$  n'entraîne plus que de faibles variations de  $I_c$ . Le transistor est saturé et  $\beta_F$  devient voisin de 1,  $V_{ce} < 0,6$  Volt et la jonction base collecteur est polarisée en direct.

Dans ce mode de fonctionnement, le transistor est proche d'un interrupteur fermé. La région base emmagasine un surcroît de porteur qu'il faudra éliminer avant d'atteindre le mode actif décrit précédemment et à plus forte raison pour passer au mode bloqué, il s'ensuivra un retard à la commutation.

### I - 3 - Le Transistor à effet de champ

Il existe plusieurs types de transistors à effet de champ (TEC) ou FET (Field Effect Transistor) - Le TEC à jonctions ou JFET - Le TEC à grille isolée MOS à appauvrissement (déplétion) - Le TEC à grille isolée MOS à enrichissement (enhancement) C'est ce dernier transistor qui est utilisé dans les circuits intégrés numériques.

#### 1 - 3 - 1 - Le Transistor à effet de champ à jonctions JFET

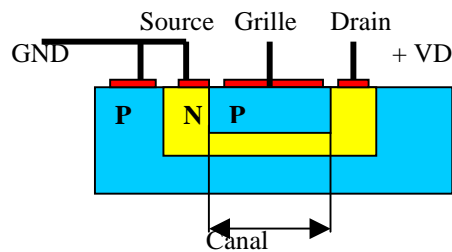


Fig I – 9 – Transistor à effet de champ à jonctions

Deux électrodes Source et Drain sont reliées par une continuité de Silicium N, la résistance est déterminée par les dimensions géométriques du canal (partie très fine reliant les deux caissons de dimensions plus importantes la Source et le Drain), la concentration en dopant du Silicium et la mobilité des porteurs (revoir la page 2) . Une différence de potentiel appliquée entre ces deux électrodes ( $+V_d$ ) provoque le passage d'un courant.

Une tension négative appliquée entre Grille et Source (et Substrat le silicium sur lequel est réalisé le transistor) soumet les porteurs (électrons) dans le canal à un champ électrique. Ces porteurs sont alors repoussés vers le substrat et la résistance du canal augmente.

Lorsque la tension  $+V_d$  augmente, le courant de drain augmente tout d'abord linéairement puis la tension positive appliquée sur le drain crée une modification de la répartition des charges sur la grille. Le canal subit alors un champ plus important au voisinage du Drain, un pincement du canal dans cette région s'effectue créant une non-linéarité de la caractéristique  $I_d = f(V_{ds})$  et allant même jusqu'à s'opposer à tout accroissement du courant de drain. La tension de drain qui provoque ce phénomène est appelée  $V_p$  la tension de pincement. Lorsqu'on applique cette tension sur la Grille négativement, tout le canal est "pincé", le transistor est bloqué.

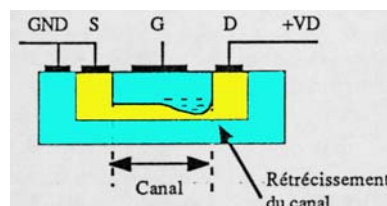


Fig I – 10 – Phénomène de pincement du canal provoqué par la tension positive de Drain

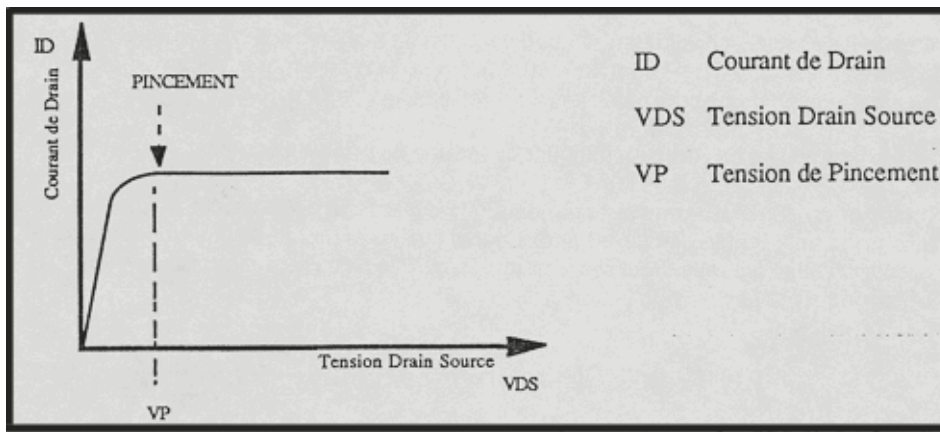


Fig I – 11 - : L'effet de pincement peut aller jusqu'à empêcher tout accroissement du courant

Lorsque l'on continue à faire croître, la tension appliquée entre Drain et Source et par conséquent entre Drain et Grille, la jonction Drain Grille peut subir le phénomène d'avalanche, le courant de Drain croît alors très vite mais celui-ci provient de la Grille et non plus de la Source

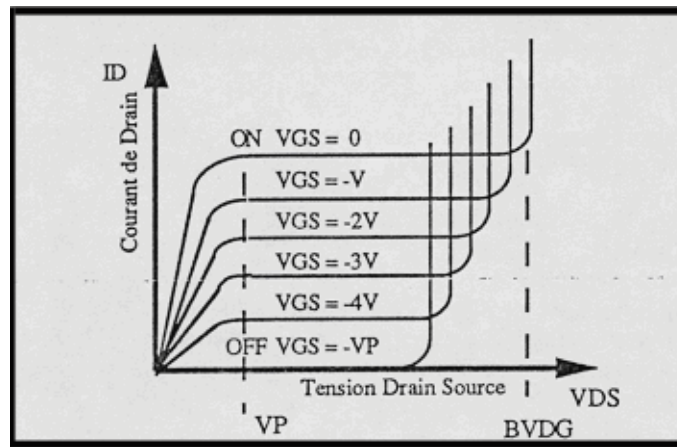


Fig I – 13 – Réseau de courbes caractéristiques d'un transistor à effet de champ à jonctions

On peut distinguer dans ce réseau de courbes deux régions de travail bien distinctes:

- Une zone à gauche de Vp constituée d'un faisceau de droites toutes issues d'une même origine. Lorsque Vd < Vp le transistor peut être assimilé à une résistance avec  $R = f(V_{GS})$  dont la plus faible valeur obtenue pour  $V_{GS}=0$  est la caractéristique "ON" du transistor de 30 à 200Ω suivant les modèles la plus forte étant la résistance "OFF" de plusieurs Mégohms
- La seconde à droite de Vd où Id est constant quel que soit Vd ce qui permettra entre autres de faire des générateurs de courant constant. En effet si l'on connecte ensemble S et G pour toute tension d'alimentation supérieure à Vd  $I_d = I_{d_{ON}} = \text{constante}$ .

Il est évident qu'on ne doit pas appliquer de tension de grille supérieure à Vs ou à Vd.

Nous avons décrit ici le transistor à jonctions canal N, il est possible de trouver également des transistors canal P bien que moins performants que les N du fait de la mobilité inférieure des trous par rapport aux électrons. Pour le transistor canal P le drain sera raccordé à -V et la commande de Grille se fera par une tension positive.

**I - 3 - 2 - Le Transistor à effet de champ MOS à appauvrissement (Déplétion)**

Dans le transistor à jonctions canal N on ne doit pas appliquer de tension de grille supérieure à Vs ou à Vd. Le MOS à déplétion canal N a un fonctionnement identique au précédent mais, la grille étant isolée par une couche d'oxyde (SiO2) la tension de grille pourra varier de part et d'autre de Vs. Une tension négative dépeuplera le canal et la résistance de celui-ci s'accroîtra. Une tension positive enrichira le canal et améliorera sa conduction.

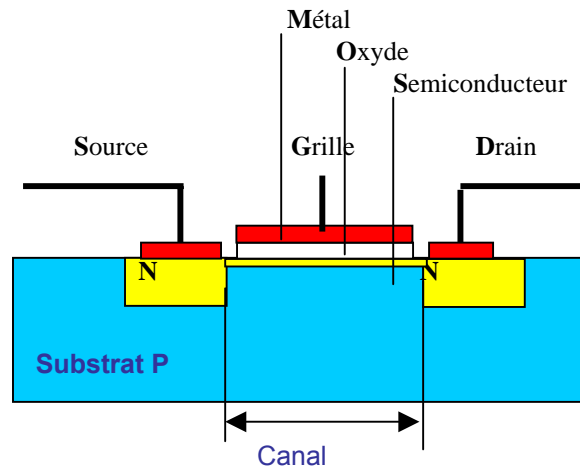


Fig I – 14 – Transistor MOS canal N à appauvrissement

Ce transistor trouve son nom MOS dans l'initial des trois couches qui constituent la région active du composant Métal - Oxyde - Semiconducteur. La grille des transistors actuels est généralement constituée de silicium dopé, le composant à pourtant gardé son appellation MOS, SOS étant réservé à Silicium sur Saphir (Silicon On Sapphire).

Le fonctionnement de ce transistor est identique au JFET lorsque  $V_{gs} = 0$  le transistor est passant. On dit ce transistor normalement passant.

### 1 - 3 - 3 - Le Transistor à effet de champ MOS à enrichissement (Enhancement)

A la fabrication, le canal n'est pas formé, mais les caissons qui constituent le Drain et la Source sont très fortement dopés, ils fourniront les porteurs nécessaires à la formation du canal sous l'effet de la tension appliquée sur la grille.

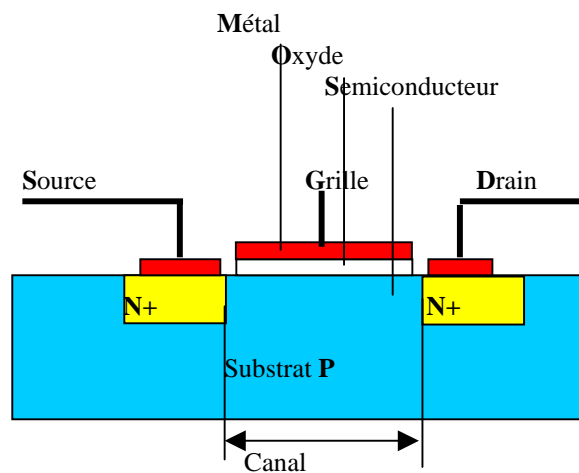


Fig I – 15 – Transistor MOS canal N à enrichissement

Ce transistor pour une tension  $V_{gs}=0$  est normalement bloqué. Pour rendre le transistor passant il faudra appliquer une tension  $V_{gs}$  positive (transistor canal N) afin d'attirer les porteurs négatifs et assurer une continuité entre Source et Drain. On ne s'étonnera pas de trouver une tension de seuil en dessous de laquelle le transistor ne s'amorce pas. Plus la tension de grille est élevée plus le canal est conducteur. Un tel transistor fonctionnera donc avec une résistance de canal d'autant plus faible que les tensions appliquées seront élevées. On constate également que tension de grille et de drain sont de même signe.

### 1 - 4 - La fabrication des circuits intégrés

Dans les pages qui suivent, nous allons nous efforcer de décrire des procédés de fabrication des circuits intégrés sans toutefois en détailler avec précision toutes les phases.

Notre objectif est de permettre au lecteur de connaître les mots clefs de la littérature technologique, de savoir quels problèmes se sont posés et ont été résolus et ceux qu'il reste à résoudre.

Le lecteur ne doit pas perdre de vue que le triple objectif des concepteurs est:

- plus denses en composants
- plus rapides
- plus économes en énergie

#### I - 4 - 1 - La réalisation des monocristaux de Silicium

La méthode la plus couramment employée est la méthode Czochralski (prononcez Chocralski)

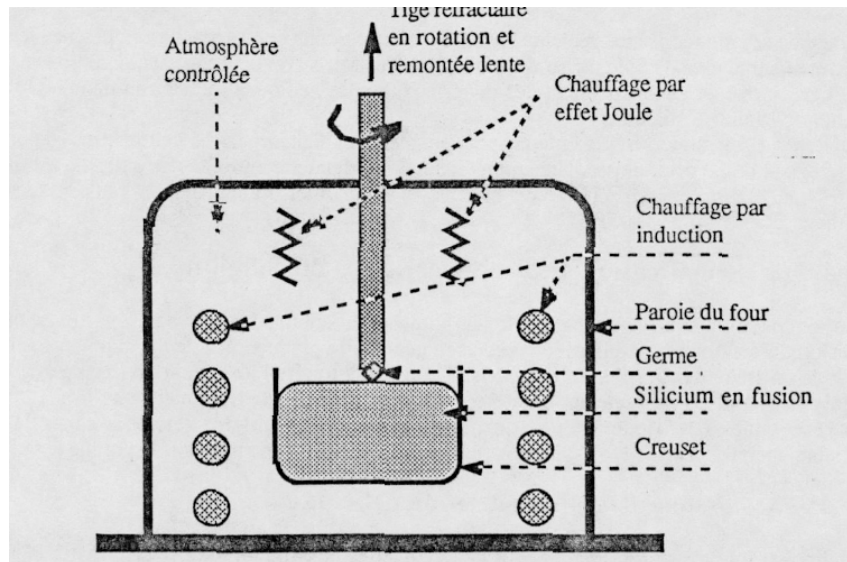


Figure I - 16 : représentation succincte de la méthode Czochralski d'étirage des monocristaux début de la phase active

Du Silicium en poudre, mélangé éventuellement avec du dopant, est introduit dans un creuset à l'intérieur d'un four à induction à atmosphère contrôlée et porté à fusion. Un petit morceau de Silicium ( le germe) solidement fixé à une tige de matériau réfractaire, est amené au contact avec le Silicium en fusion. La tige est ensuite animée de mouvements de rotation et de remontée lents. Le monocristal se forme à partir du germe et prend la même orientation cristalline que celui-ci. La remontée s'opère très lentement, (plusieurs jours) .

Lorsque l'étirage du monocristal est terminé, il est nécessaire de le libérer des contraintes internes créées lors de l'étirage. Un recuit est effectué à l'aide du chauffage par effet joule.

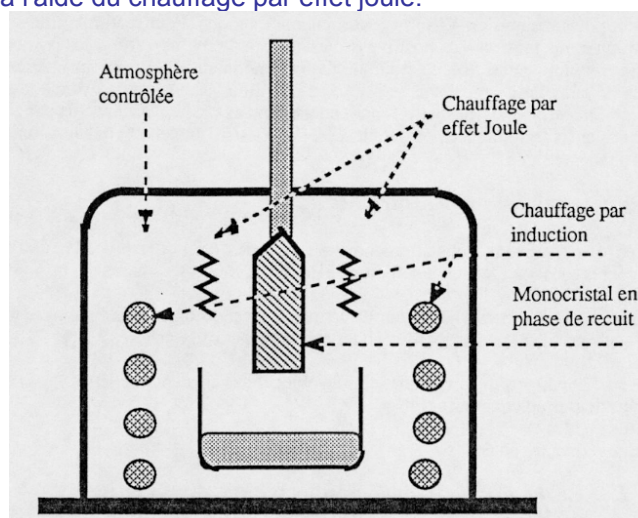


Fig I - 17: Méthode Czochralski phase de recuit par chauffage résistif

L'étirage de ces monocristaux réclame des moyens importants et une grande compétence technique notamment au niveau de la maîtrise technologique des fours, régulation de la température, vitesse de la tige, pureté de l'atmosphère et des matériaux. Seules quelques sociétés dans le monde produisent des monocristaux de silicium.

Actuellement, les monocristaux obtenus peuvent avoir un diamètre de 15 centimètres (6 pouces) et une longueur de 50 centimètres. Une augmentation du diamètre entraîne des gains de productivité importants, le passage à 20 centimètres (8 pouces) est maintenant maîtrisé par plusieurs sociétés.

#### **I - 4 - 2 - Purification des monocristaux de Silicium**

Le monocristal obtenu peut contenir des impuretés non souhaitées provenant par exemple de la diffusion du matériau constituant le creuset, en général du platine, dans le Silicium en fusion. Une méthode utilisée pour purifier ce monocristal consiste à fondre localement un disque à la base du cristal à l'aide d'un chalumeau annulaire et de remonter progressivement vers le sommet. Les impuretés vont alors "flotter" sur ce disque en fusion et vont migrer vers le sommet du cristal. Plusieurs opérations de ce type sont nécessaires à une bonne purification par fusion de zone.

#### **I - 4 - 3 - Sciage des plaquettes de Silicium**

Les circuits intégrés seront réalisés sur des plaquettes de Silicium de 0,2 millimètre d'épaisseur ( Wafer). Elles sont obtenues par sciage du monocristal et polissage d'une face.

#### **I - 4 - 4 - Dopage du Silicium**

##### **I - 4 - 4 - 1 - Nature des dopants**

Pour obtenir du Silicium N on introduit un dopant de valence 5 qui pourra être de l'Antimoine, du Phosphore, de l'arsenic ou du Lithium.

Le Silicium P est obtenu par dopage avec un matériau de valence 3 tel que Gallium, Indium, Bore ou Aluminium

##### **I - 4 - 4 - 2 - Techniques**

Plusieurs techniques sont possibles, le monocristal peut être dopé au moment de son étirage, il s'agit évidemment d'un dopage uniforme de tout l'ensemble du monocristal. Ceci est obtenu en introduisant dans le creuset un mélange de Silicium et de dopant. Cela suppose au départ pour ces deux matériaux, des températures de fusion voisines et une solubilité du dopant dans le silicium.

##### **1 - 4 - 4 - 2 - 1 - L'épithaxie**

L'épithaxie consiste à faire croître sur du Silicium pur ou déjà dopé, du silicium dopé différemment. Les plaquettes de Silicium sont disposées dans un four à atmosphère contrôlée et portées à une température de 1200°C environ. Un mélange gazeux circule au contact avec les plaquettes. Ce gaz est un composé chimique du corps à faire croître contenant notamment, du Silicium, du dopant et de l'hydrogène. Une réaction chimique se produit et une couche croît sur le silicium véritable progression du monocristal de base. L'épaisseur des couches obtenues dépend du temps de chauffage, elles peuvent atteindre 25 µm.

##### **1- 4 - 4 - 2- 2 - Diffusion**

La diffusion est associée à la technique de masquage, en effet, pour permettre une diffusion locale du dopant dans le Silicium, il est nécessaire de protéger les autres zones.

La plaquette de Silicium est chauffée à 1000°C environ en présence d'un gaz contenant le dopant. Ce dernier migre dans le Silicium aux endroits non protégés. Évidemment, la concentration obtenue forte en surface, décroît avec la profondeur, les zones masquées ne sont pas entièrement protégées car la migration n'est pas uniquement perpendiculaire à la surface.

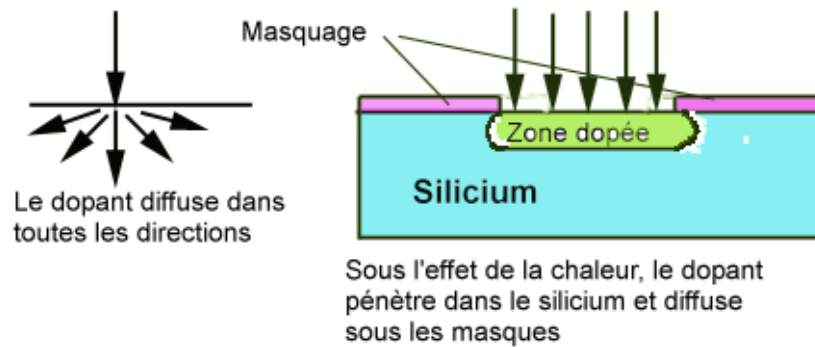


Fig I – 18 – Diffusion du dopant dans le silicium

Le profil de la diffusion dépend essentiellement des matériaux en présence et suit une loi non modifiable.

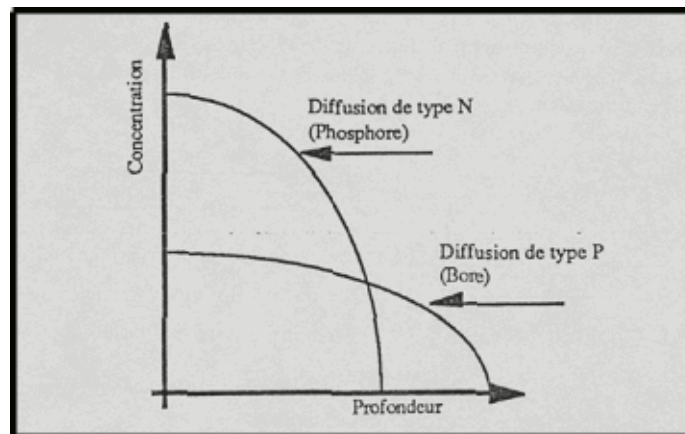


Fig I – 19 – Profils de diffusion de dopants dans le silicium

Le dopage par diffusion présente donc les inconvénients suivants:

La répartition du dopant subit une loi non modifiable

Le dopant diffuse sous les protections

Toutes les impuretés contenues dans le gaz diffusent dans le Silicium et pas seulement le dopant

#### 1 - 4 - 4 - 2 - 3 - Implantation ionique

Le procédé d'implantation ionique consiste à projeter sur le silicium des ions de dopant. Le dopant est d'abord ionisé puis accéléré par un champ électrique avec la plaquette de silicium comme cible (énergie de 30 à 200 keV). Le faisceau d'ions est modulé et dirigé à l'aide de lentilles électroniques et de plaques de déflexion. Le faisceau peut être dirigé avec précision, le masquage devient alors inutile en outre le contrôle de l'énergie des ions permet une certaine maîtrise du profil du dopage.

Cependant, cette technique présente un inconvénient, le dopant en pénétrant dans le silicium peut créer des dislocations (irrégularités dans l'organisation cristalline), un recuit (chauffage uniforme de la plaquette après implantation) peut palier cet inconvénient mais il modifie le profil des dopages.

#### 1 - 4 - 4 - 3 - Le masquage

Dans le cas de l'implantation ionique, le masquage n'est pas nécessaire mais en fait, les commandes qui pilotent les plaques de déflexion contiennent toutes les informations d'un masque. On parle communément de masquage électronique. Les informations sont contenues dans la mémoire de l'ordinateur qui commande la déflexion du faisceau d'ions.

Le masquage proprement dit consiste à protéger les zones qui ne doivent pas recevoir de dopant à l'aide d'un matériau "étanche", qui pourra être une résine photosensible ou de l'oxyde de silicium ( $\text{SiO}_2$ ).

Le processus passe d'abord par la réalisation des masques qui seront ensuite utilisés comme les typons des circuits imprimés pour l'insolation de la résine photosensible déposée sur le silicium. Le révélateur éliminera ensuite la résine qui a été ou qui n'a pas été insolée (résine positive ou négative). Le silicium après passage au révélateur se retrouve à nu à certains endroits permettant ainsi la pénétration du dopant.



C'est le procédé de photo lithographie

**Les problèmes de la photo lithographie:**

Les dimensions des motifs les plus petits descendent maintenant en dessous du micron ( $1\mu\text{m}=10^{-6}\text{m}$ ) ce qui entraîne des problèmes considérables:

**1/ La réalisation des masques**

La réalisation des masques, leur stabilité dimensionnelle et de leur positionnement lors de masquage successifs posent des problèmes considérables. La précision du positionnement n'est jamais parfaite aussi il faut en tenir compte sur le dimensionnement des motifs. Exemple, si l'on veut obtenir la résultat ci-dessous :

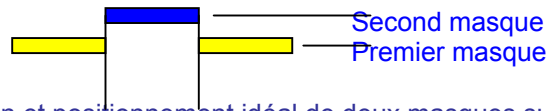


Fig I – 20 : Réalisation et positionnement idéal de deux masques successivement

Dans le cas ci-dessous, le second masque est de la dimension exacte de l'espace à masquer, mais un défaut de positionnement laisse une zone non masquée

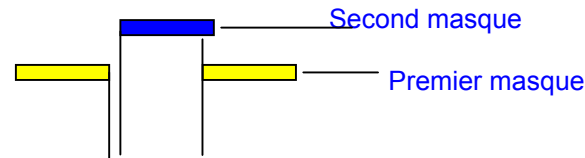


Fig I – 21 : Le second masquage est décalé par rapport au premier

Puisque la précision ne peut être parfaite, aussi bien dans le dimensionnement des motifs que dans le positionnement des masques, il est nécessaire que le motif du second masque soit plus large que l'espace à masquer

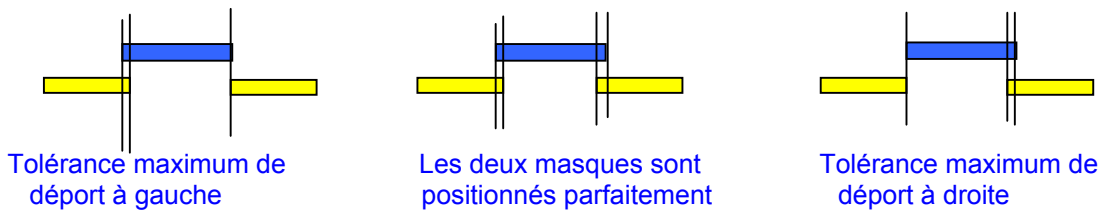


Fig. I - 22: Positionnements extrêmes du second motif plus large que la zone à masquer

**2/ Nature de la "lumière" employée**

On sait qu'un faisceau de lumière parallèle passant par un orifice diverge (diffraction de Fraunhofer), cette divergence, tangente de l'angle  $\alpha$ , est donnée par la formule  $1,22 \frac{\lambda}{d}$  où  $\lambda$  est la longueur d'onde de la lumière et d le diamètre de l'orifice.

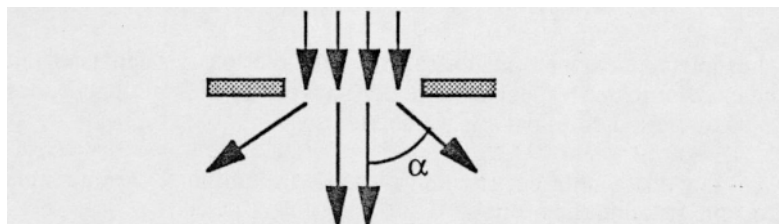


Fig. I - 23 : diffraction de la lumière traversant un orifice

Un faisceau lumineux dont la longueur d'onde  $\lambda = 1\mu\text{m}$  (proche infrarouge) passant dans un orifice de ( $d = 1\mu\text{m}$ ) aura un angle  $\alpha$  de  $50^\circ$  environ . Il découle de ce phénomène que lorsque la lumière passe à travers les motifs d'un masque, un manque de netteté des ombres projetées.



Pour réduire ce phénomène, il est nécessaire de diminuer la longueur d'onde de la lumière au fur et à mesure de la diminution de la dimension des motifs. D'où l'utilisation d'un rayonnement Ultraviolet (avec une longueur d'onde de 0,3  $\mu\text{m}$  l'angle de diffraction calculé précédemment devient  $21^\circ$ ), de rayons X (longueur d'onde de 1 à 100  $\text{\AA}$  - 1  $\text{\AA}$  Angström =  $10^{-10}\text{m}$ ) ou d'un faisceau d'électrons (la longueur d'onde associée à une énergie de 10 KeV est de 1  $\text{\AA}$ ).

### 3/ La résine photosensible

Outre ses propriétés d'étanchéité aux dopants et de tenue en température, la résine doit être sensible au rayonnement utilisé et la finesse de son grain élémentaire compatible avec la dimension des motifs à réaliser.

#### I - 4 - 4 - 4 - L'oxydation

L'oxyde de Silicium  $\text{SiO}_2$  présente plusieurs points intéressants:

- excellent isolant électrique
- étanche à la diffusion des dopants
- est attaqué par le fluorure d'hydrogène qui est sans action sur le Silicium

L'oxyde peut être obtenu de deux façons, par condensation de la vapeur d'oxyde ou par chauffage du silicium en présence de vapeur d'eau.

Le dépôt en phase vapeur produit une couche d'oxyde qui recouvre la totalité de la surface de la plaquette. Après un tel dépôt il est nécessaire d'éliminer l'oxyde superflu. Cette technique est réservée aux couches d'oxyde minces.

L'oxydation thermique est comme son nom l'indique obtenue par chauffage du silicium (température  $> 1000^\circ\text{C}$ ) en présence de vapeur d'eau. L'oxyde croît sur le silicium non protégé. Il a

tendance à pénétrer dans le silicium et à migrer sous les zones protégées. Cette technique est utilisée notamment pour créer des barrières entre composants.

L'étanchéité de l'oxyde n'étant pas parfaite, elle peut être renforcée en intercalant entre deux couches d'oxyde une couche de Nitrure de Silicium  $\text{Si}_3\text{N}_4$  dont l'étanchéité aux dopants est supérieure.

Les couches d'oxyde ont une tenue en tension d'environ  $800\text{V}/\mu\text{m}$  ceci dans un oxyde parfait dépourvu d'impureté et dans un assemblage atomique sans défaut. On peut en déduire que l'épaisseur minimum théorique d'oxyde pour supporter une tension de 5 volts est  $\frac{5}{800}\mu\text{m}$  soit = 65  $\text{\AA}$ .

Les technologies récentes des transistors MOS annonce des épaisseurs d'oxyde de 250  $\text{\AA}$  ce qui n'est pas très loin de la limite théorique.

Les dimensions classiques donnent pour les oxydes de grille des épaisseurs de 250 à 1200  $\text{\AA}$  (0,025 à 0,12  $\mu\text{m}$ ) et pour les barrières d'isolement entre transistors des épaisseurs de 2  $\mu\text{m}$ .

#### 1 - 4 - 4 - 5 - Les interconnexions et dépôts conducteurs

Les interconnexions sont généralement assurées par des dépôts métalliques. Ils sont obtenus par condensation d'une vapeur métallique (souvent de l'aluminium) sur la plaquette on élimine ensuite les surfaces inutiles par attaque chimique.

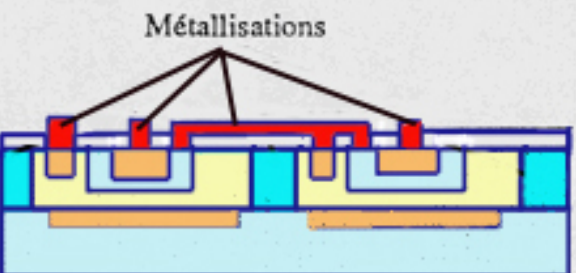
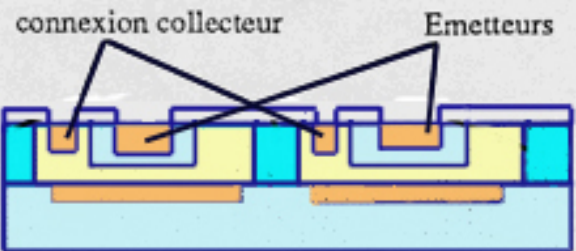
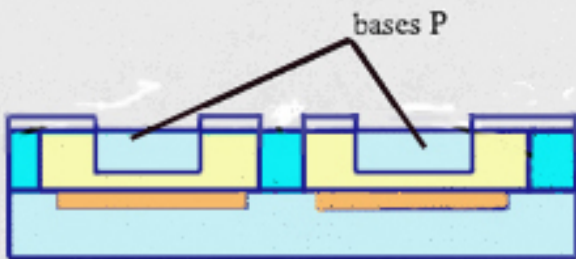
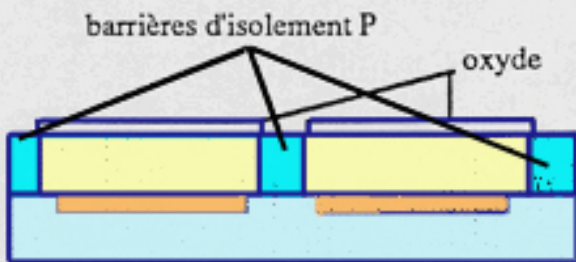
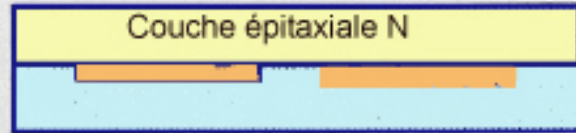
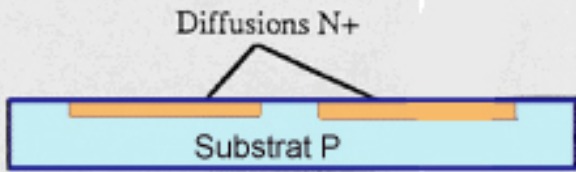
On rappelle à cette occasion qu'un dépôt d'aluminium sur du silicium N faiblement dopé constitue une jonction Schottky.

Il est également possible de réaliser des interconnexions à l'aide de dépôt de Silicium polycristallin dopé. En particulier, la grille des transistors MOS est maintenant réalisée dans ce matériau et par là même ses connexions.

Les interconnexions par Silicium dopé permettent également la réalisation de résistances. Suivant les techniques de dopage, la valeur des résistances est plus ou moins précise. Un dopage par diffusion peut donner des imprécisions de  $\pm 20\%$  alors que l'implantation ionique donne  $\pm 5\%$ .

#### I - 4 - 4 - 6 - Réalisation des circuits intégrés à base de transistors bipolaires

Les figures de la page suivante représentent les différentes phases de la réalisation d'un circuit bipolaire. N'apparaissent ici que les phases principales d'une méthode possible de réalisation. Actuellement l'isolement entre transistor se fait plutôt à l'aide de barrières d'oxyde thermique.



**1er masque** Diffusions N+ dans le substrat P destinées à réduire la résistance des collecteurs

Croissance d'une couche épitaxiale N

Oxydation puis  
**2ème masque** attaque chimique pour ouvrir des fenêtres dans l'oxyde afin de diffuser des barrières P+

Attaque chimique de l'oxyde, nouvelle oxydation  
**3ème masquage** pour ouverture de fenêtre et diffusion des bases P

Attaque chimique de l'oxyde, nouvelle oxydation  
**4ème masquage** pour ouverture de fenêtre et diffusion de zones N+ constituant les Emetteurs et permettant les reprises de courant des collecteurs

Attaque chimique de l'oxyde, nouvelle oxydation  
**5ème masquage** pour ouverture de fenêtre et métallisation (aluminium) de toute la surface suivie d'un  
**6ème masquage** destiné à éliminer les métallisations superflues puis passivation

Nous avons vu page 14 que le profil de diffusion du dopant dépend de la nature de celui-ci. Si nous reprenons les courbes en question mais appliquées cette fois à du silicium déjà dopé, nous pouvons obtenir le résultat suivant

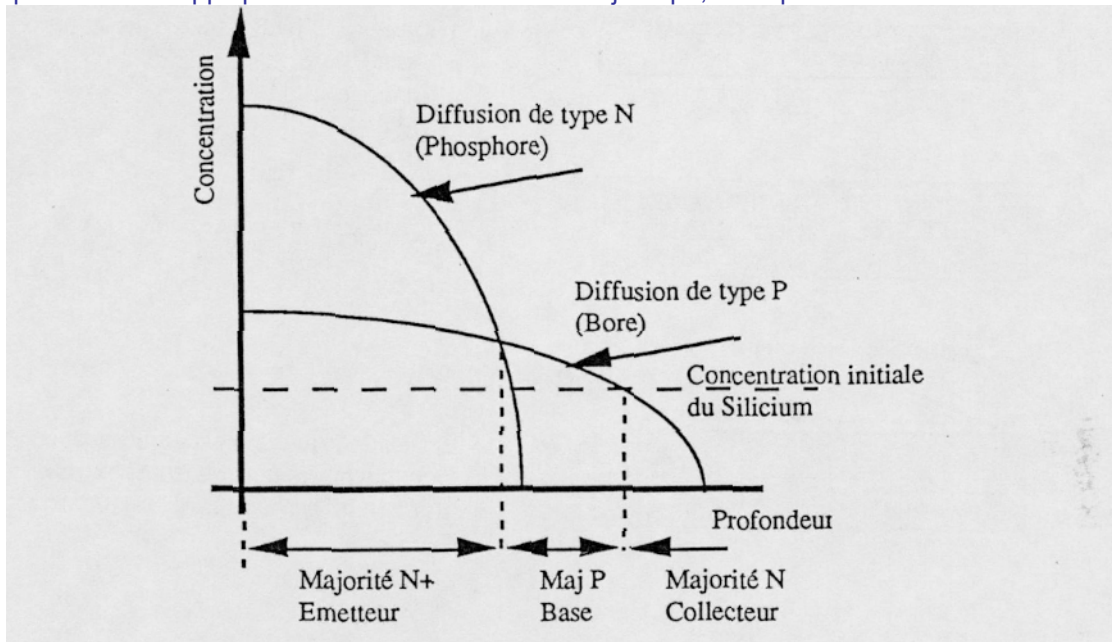
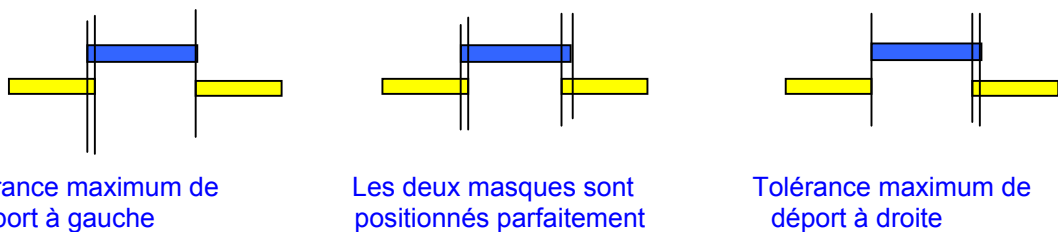


Fig. I - 25: Techniques de diffusion permettant d'obtenir un transistor NPN

Les diffusions sont effectuées dans du silicium déjà dopé, (couche épitaxiée des figures 1-25). Nous voyons que nous obtenons trois zones la première N+ qui constituera l'émetteur du transistor, la seconde à majorité P la base et la troisième à majorité N le collecteur. Le dopage du collecteur étant faible, sa résistance risque d'être élevée d'où l'utilisation d'une couche enterrée N+ (figures 1-25) sous la couche épitaxiale pour en diminuer la résistance.

**I - 4 - 4 - 7 - Réalisation des circuits intégrés à base de transistors MOS à enrichissement**

La technique des MOS à grille métallique est en voie de disparition, en effet les problèmes énoncés dans les techniques de masquage page 16 se posent au niveau de la réalisation des grilles. Pour être assurés que la grille couvre toute la longueur du canal les constructeurs doivent opérer comme ci-dessous

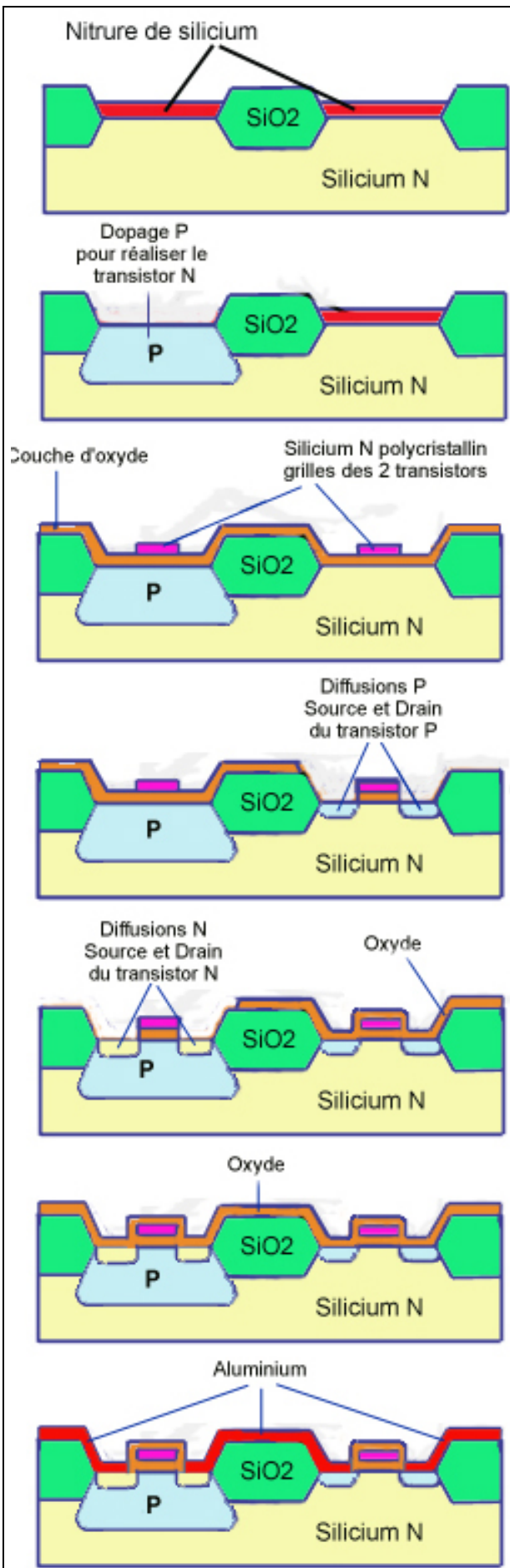


Il s'ensuit que la grille débordera tantôt sur la source tantôt sur le drain et tantôt sur les deux. Séparés par une couche d'oxyde, les débordements grille et source (ou drain) vont constituer des condensateurs qui vont ralentir le fonctionnement des circuits et court-circuiter les fréquences élevées ( $Z = \frac{1}{C\omega}$ ) ce (ou) ces condensateurs diminuent les performances du circuit et de plus ils varient d'une série à l'autre en fonction du positionnement des masques.

L'abandon de cette technique se fait au profit du procédé à grille au silicium. Ce procédé réduit considérablement les capacités parasites (5 à 7 fois) et surtout elle rend celles-ci indépendantes du masquage, donc répétitives.

Les figures de la page suivantes décrivent le processus de réalisation des circuits intégrés CMOS employé en son temps par Philips sous le nom de LOCMOS (Locally Oxydised CMOS) procédé à grilles au silicium auto-alignées.

Une plaquette de silicium N est recouverte d'une fine couche de nitrure de silicium



Une plaquette de silicium N est recouverte d'une fine couche de nitrure de silicium  
Le, Nitrure est retiré au dessus des zones où des oxydations locales doivent être faites Une oxydation est effectuée sur les zones non protégées épaisseur 1,8 micron

Le Nitrure est retiré au dessus de la zone devant recevoir le caisson P destiné au transistor  
Le caisson P est réalisé par implantation d'ions de Bore sur une profondeur de 1,5 micron

Le Nitrure restant est enlevé Une **fine couche d'oxyde est déposée** La grille des transistors est réalisée à l'aide de dépôts de silicium polycristallin dopé au phosphore (dopage N pour obtenir une faible résistance)

L'oxyde est enlevé dans la zone où doit être réalisé le transistor P mais, protégé par le silicium de la grille, l'oxyde subsiste sous celle-ci et continue à l'isoler du silicium N  
Source et drain du transistor P sont obtenus par diffusion de bore et sont alignés automatiquement puisque la grille sert de masque

L'oxyde est enlevé au dessus du caisson P et le transistor P est recouvert d'oxyde  
Drain et source du transistor N sont obtenus par diffusion de phosphore

Les deux transistors sont recouverts d'oxyde

L'oxyde est enlevé dans les zones de contact  
Un dépôt d'aluminium est effectué par évaporation sous vide puis éliminé aux endroits adéquats

Fig I - 26 : Processus de réalisation des circuits CMOS à grilles auto-alignées au silicium