

LES DIFFÉRENTES TECHNOLOGIES

III - Technologies à base de Transistors Bipolaires Saturés

Parmi les circuits intégrés réalisés à l'aide de transistors bipolaires, c'est à dire des transistors NPN et PNP classiques, on distingue deux grandes familles:

Les circuits à transistor bipolaires saturés, c'est à dire les circuits dans lesquels les transistors seront dans l'état saturé ou bloqué. Ces circuits présenteront l'avantage de fournir des états logiques 1 et 0 bien distincts avec une relativement grande marge de tension entre ces deux états. Cependant, toute médaille a son revers, le blocage d'un transistor saturé est relativement lent d'où un **ralentissement du fonctionnement**.

Les circuits à transistor bipolaires non saturés sont plus rapides que les précédents mais ils offrent des écarts de potentiel entre les états logiques peu importants donc une faible immunité au bruit et une plus grande difficulté de mise en œuvre

III 1 - La technologie DTL

Cette technologie ancienne ne présente qu'un intérêt pédagogique car c'est l'ancêtre de la TTL.

Nous allons détailler le fonctionnement d'une porte DTL en nous efforçant de comprendre ce qui en limite la rapidité de commutation. A partir de cet exemple nous pourrons alors étudier les technologies qui lui ont succédé.

Fonctionnement de l'opérateur : (schéma page suivante)

Lorsqu'une des deux entrées ou les deux (e1 et e2) sont mises à 0 le potentiel de l'anode des diodes D1, D2 et D3 est à 0,6V. Il faudrait 1,2V sur l'anode de D3 pour qu'un courant puisse circuler dans la base de T1. Dans ces conditions I_b de T1 = 0 entraînant le blocage de celui-ci et $I_c=0$. Aucun courant ne circulant dans la résistance R3, la différence de potentiel à ses bornes est nulle et la tension de collecteur de T1 est +V tension de l'alimentation.

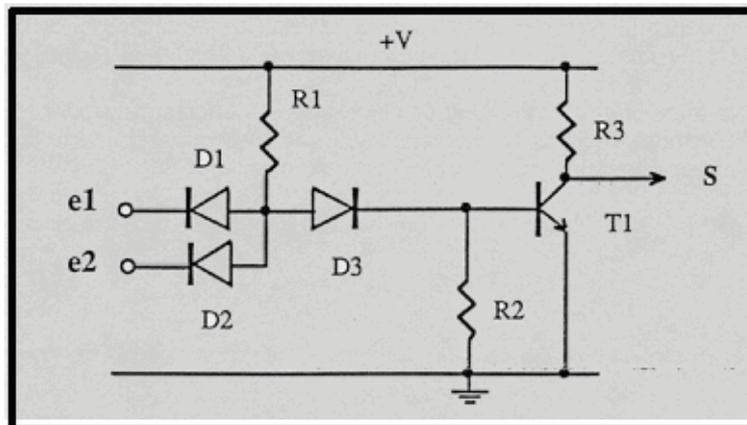


Figure III - 1: Schéma de base d'un opérateur logique en technologie DTL

Au contraire si les deux entrées sont connectées au +V ou laissées "en l'air" un courant circule dans R1, D3, R2 et s'il est suffisant pour produire aux bornes de R2 une tension au moins égale à 0,6V, une fraction de celui-ci passe dans la base de T1. Si le courant de base est suffisant, le transistor T1 se sature et la tension de collecteur devient proche de 0

D'où la table de vérité:

e1	e2	S
0	0	1
0	1	1
1	0	1
1	1	0

Nous en déduisons que le schéma présenté est une porte NAND

Remarquons que, si nous supprimons une entrée, nous réalisons une porte inverseuse. L'inverseur est un cas particulier de la porte NAND.

Vitesse de commutation de la porte DTL

L'étude de la rapidité de commutation consiste donc à s'interroger sur la vitesse de propagation d'un signal appliqué sur l'entrée de l'opérateur jusqu'à la base de T1 et sur la vitesse de réponse de ce transistor. Étudions le cas d'un inverseur, c'est à dire le NAND à une entrée.

Nous avons vu qu'à une jonction PN est associée une capacité parasite. Le schéma ci-dessous fait apparaître celles-ci:

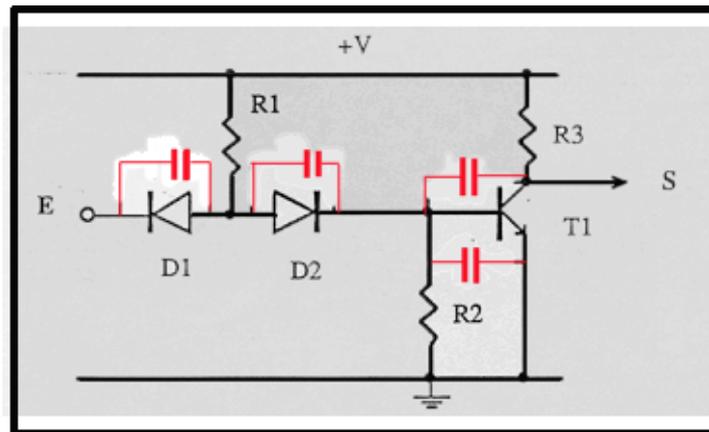


Figure III - 2 : L'inverseur DTL avec ses capacités de jonction

Les capacités vont jouer un rôle important dans la vitesse de commutation. Lorsqu'on applique un signal sur l'entrée E de cet inverseur, les condensateurs C1, C2 et la résistance R2 constituent un circuit dérivateur qui a la propriété de transmettre immédiatement les fronts du signal. Ces deux condensateurs ne sont donc pas gênants cependant C1 jouera un rôle nuisible dans le cas d'une mise en cascade de deux portes. C4 ne voit que très peu de variation de tension à ses bornes il sera pratiquement sans effet. C3 au contraire voit de fortes variations de tensions :

si $S=0$ le collecteur de T est voisin de 0 volt et la base a 0,6volt

si $S=1$ le collecteur de T est voisin de 5 volts et la base a 0 volt

Pour que l'état haut s'établisse en S il faut donc que le condensateur C3 se charge ce qui ne peut se faire que par l'intermédiaire des résistances R3 et R2. Pour que le 1 logique apparaisse rapidement il faut que ces deux résistances soit de faible valeur ce qui provoque une forte consommation lorsque le transistor conduit. Il y a donc contradiction entre vitesse de commutation et faible consommation.

L'effet de C3 est renforcé lorsque deux portes sont montées en série, comme ci dessous, par la capacité C1 de la seconde porte. Cette dernière sera chargée par le courant traversant R3 de la 1ère porte et R2 de la seconde.

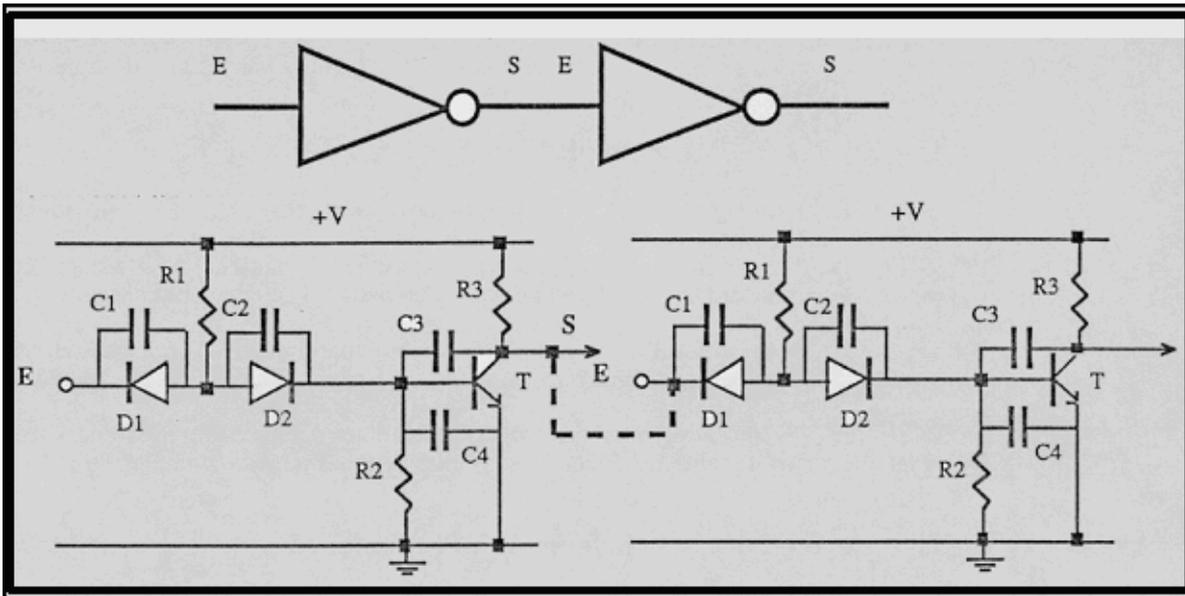


Figure III - 3 -. Deux inverseurs DTL montés en série

Afin de mieux comprendre le processus d'évolution vers la technologie TTL, nous étudierons séparément l'étage d'entrée et l'étage de sortie.

L'évolution de la porte DTL vers la technologie TTL se fait d'abord en remplaçant les diodes d'entrée D1 et D2 par un transistor.

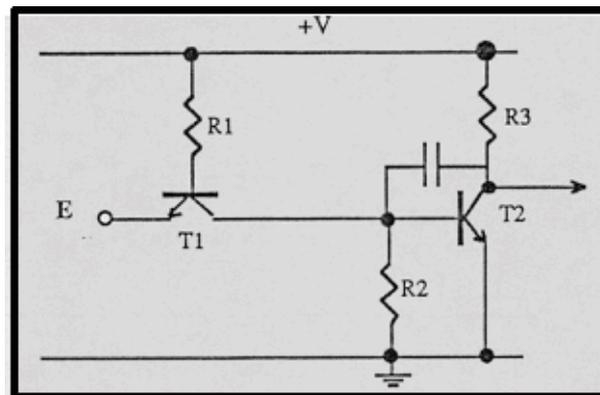


Figure III - 4 : Remplacement des deux diodes d'entrée par un transistor

En statique le transistor T1 va se comporter comme les diodes D1 et D2 du schéma précédent. Lorsque $E = 5V$ la jonction EB de T1 est bloquée et un courant circule dans le circuit R1, jonction BC de T1 et R2 si celui-ci est suffisant un courant passe dans la jonction BE de T2 entraînant la conduction de celui-ci. La résistance R3 (de l'ordre de 1300 ohms) limite le courant dans le transistor. En fait le gain inverse du transistor T1 n'étant pas nul la tension appliquée en E participera un temps soit peu à l'alimentation de la base de T2.

Lorsque $E = 0V$ la jonction EB de T1 est passante, le potentiel de la base de T1 est proche de 0,6V ce qui est insuffisant pour créer un courant dans la base de T2 celui-ci est alors bloqué. La sortie S est rappelée au +V par la résistance R3 qui ne permet que le débit d'un faible courant.

En fait le rôle de T1 est principalement de créer un chemin privilégié pour la charge de la capacité CB de T2 en court-circuitant la résistance R2.

Pour améliorer cet inverseur, il conviendrait de disposer d'une résistance R3 variable dont la valeur serait:

- grande lorsque l'opérateur fournit du 0 logique en sortie, limitant ainsi le courant circulant dans le transistor T2
- faible lorsque la sortie est au 1 logique permettant ainsi un débit de courant important vers l'extérieur

III - 2 - La technologie TTL

La technologie TTL standard (série 54 et 74) est apparue en 1965. Deux sous-familles ont été créées simultanément:
 La 74 H (54 H) TTL High Speed - Rapide - série qui, comme son nom l'indique est plus rapide que la standard 6 nS de Tdp au lieu de 10 nS mais qui en revanche consomme plus : 4,5 mA au lieu de 2 mA
 La 74 L (54 L) TTL Low Power - Faible consommation - qui consomme moins que la standard .02 mA au lieu de 2 mA mais qui en contre-partie va moins vite environ 30 nS pour 10 ns

La famille TTL standard et ses deux sous familles contemporaines sont maintenant abandonnées mais la famille standard est restée l'étalon. Les familles actuelles sont une évolution de celle-ci.

III - 2 - 1 - L'inverseur TTL standard

La technologie TTL est donc une amélioration de la porte DTL. Les améliorations apportées sont pour l'essentiel, le remplacement des diodes d'entrée par un transistor et l'amélioration de la sortance à l'aide un circuit nommé Totem Pole.

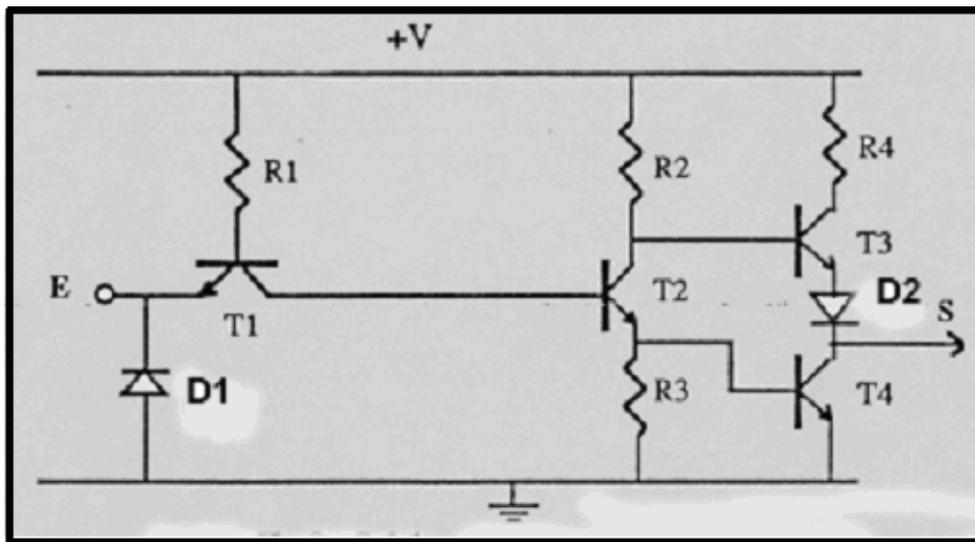


Fig III – 5 - Schéma de l'inverseur TTL standard

L'étage de sortie Totem pole est constitué des transistors T2,3,4. T3 et T4 ne conduisent jamais simultanément ou alors pendant des temps très courts au moment des changements d'état de la sortie. R5 est une résistance de faible valeur (130 ohms) permettant une sortance supérieure à la porte DTL au 1 logique

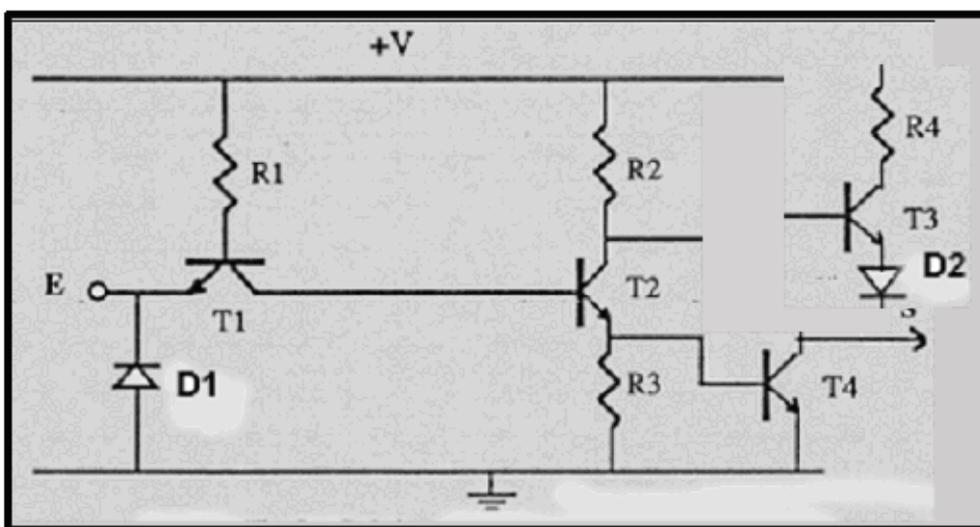


Fig III – 6 - Schéma de l'inverseur TTL standard. Sortie au 0 logique

Lorsqu'on applique une tension +V sur E la jonction BE de T1 ne conduit pas cependant un courant circule par R1, BC,R2 si la tension est suffisante aux bornes de R2 (1,2V) un courant circule dans les jonctions base émetteur de T2 et de T4 qui se saturent . Si le Vce sat de ces transistors est 0,1V le

potentiel du collecteur de T2 est 0,7V (V_{be} de T4 + V_{ce} de T2) or pour assurer la conduction de T3 le potentiel nécessaire serait 1,3V (V_{be} de T3 + V_d de D2 + V_{ce} de T4) T3 est donc bloqué. On voit que sans la diode placée sur l'émetteur de T3 celui-ci serait passant

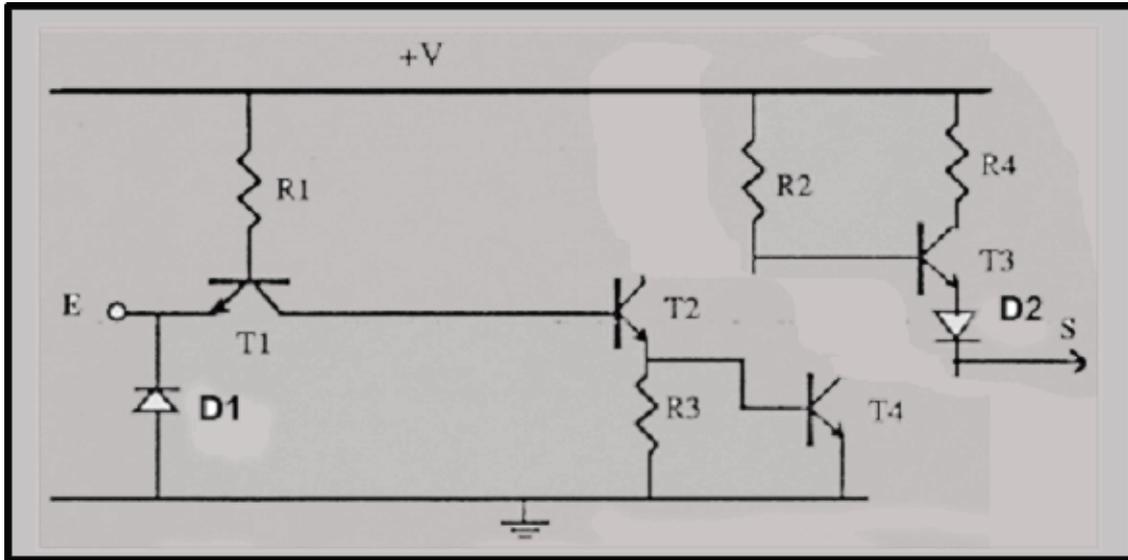


Figure III - 7: Schéma de l'inverseur TTL standard. Sortie au 1 logique

L'entrée E connectée au 0 abaisse le potentiel de la base de T1 à 0,6V entraînant le blocage de T2 et T4. Si une charge est connectée entre S et la terre un courant pourra circuler dans R2 la base de T3 et la diode entraînant la conduction de T3. La nécessité pour le courant de base de franchir deux jonctions limite la tension de sortie à un maximum de 3,8V (en négligeant la chute de tension dans R2).

La diode placée entre l'entrée et la terre est destinée à protéger l'entrée contre les tensions négatives.

II - 2 - 2 - L'inverseur TTL Trigger de Schmit

Lorsqu'une porte TTL reçoit sur une entrée un signal qui provoque le changement d'état de sa sortie, les transistors T3 et T4 (Fig II - 8) passent de l'état bloqué à l'état passant et vice versa. Pendant la commutation, ces deux transistors sont pendant un instant ni passants ni bloqués, il en découle une pointe de consommation. Cette pointe de consommation doit durer le moins longtemps possible aussi le signal qui provoque le changement d'état de la sortie doit-il avoir un temps de montée ou de descente bref.

Lorsque l'opérateur logique est commandé par un circuit de la même famille ou d'une famille voisine, il n'y a pas de problème mais si le signal provient d'un autre type de circuit il peut y avoir incompatibilité. Ceci peut se produire lorsque le signal est fourni par un amplificateur opérationnel de technologie ancienne tel le $\mu A741$ dont le slew rate, vitesse de montée de la tension en sortie, est de 0,5 V/ μs soit un temps d'établissement de 0 à 5volts de 10 μs , le LF357 qui est 100 fois plus rapide donne des temps d'établissement acceptables. Le signal peut également provenir de charge de capacités qui en ralentissent la vitesse de montée.

Il est nécessaire lorsque le temps d'établissement n'est pas correct de commander la logique par l'intermédiaire d'un opérateur Trigger de Schmit. Un inverseur Trigger de Schmit, il existe également des portes Nand Trigger de Schmit, possède sur son étage d'entrée un circuit qui provoque un basculement franc quel que soit la vitesse de montée du signal de commande.

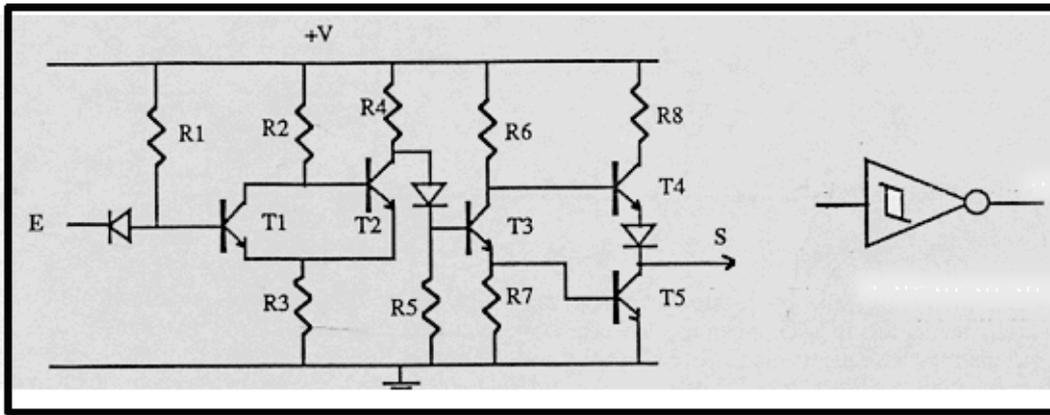


Fig III - 8 - Schéma d'un inverseur TTL Trigger de Schmit et son symbole

Fonctionnement: Lorsque l'entrée est à 0, T1 ne conduit pas et T2 conduit, le potentiel de son collecteur est bas entraînant le blocage de T3 et de T5, T4 conduit. Lorsque le potentiel de l'entrée monte le seuil la tension sur la base de T1 monte, le seuil atteint, T1 se met à conduire faisant monter le potentiel de son émetteur et baisser celui de son collecteur (base de T2) et court-circuite la jonction base émetteur du transistor T2 qui se bloque débloquent T3 et T5 et bloquant T4. L'ensemble T1, T2 constitue un montage au basculement franc puisque dès que T2 devient passant il cumule trois effets sur T3 remontée du potentiel de l'émetteur, chute du potentiel de la base et court-circuit de la jonction base émetteur

III - 2 - 3 - La porte Nand TTL standard

La porte NAND est obtenue en ajoutant un ou plusieurs émetteurs au transistor d'entrée. Le transistor d'entrée se comporte alors comme plusieurs transistors dont les bases et les collecteurs seraient connectés ensemble.

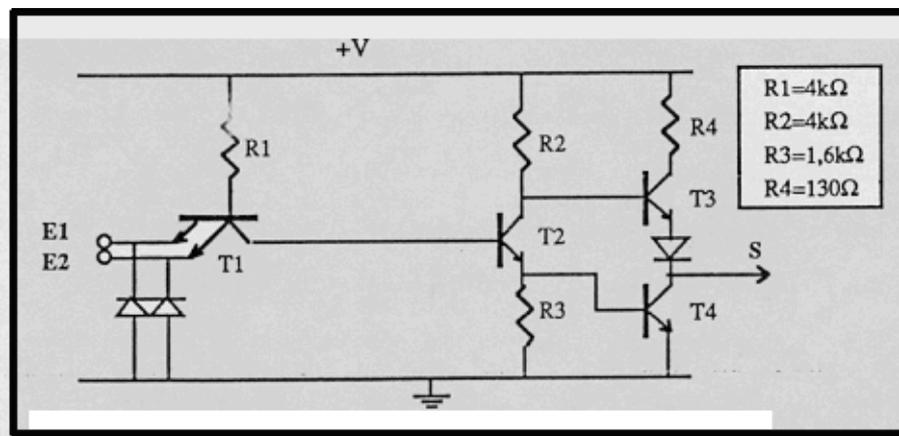


Fig III – 9 - Schéma interne d'une porte Nand à 2 entrées en technologie TTL standard

III - 2 - 4 – Caractéristiques de la porte TTL standard et ses deux sous familles High Speed et Low Power (Normes industrielles, porte NAND à 2 entrées

Dans le tableau et la figure ci-dessous, les courants sortant de l'opérateur logique sont affectés d'un signe moins. Les valeurs données sont les valeurs garanties par le fabricant qui bien entendu prend une marge de sécurité. Les valeurs typiques sont généralement plus confortables.

On peut voir que la sortie étant à l'état haut celle-ci peut débiter vers l'extérieur un courant maximum de 400 9A en conservant une tension de sortie au moins égale à 2,4 volts, la valeur typique est 3,3 volts.

Cette sortie peut absorber au 0 logique 16 mA sans que la tension monte au-dessus de 0,4 Volt. On notera que, pour commuter un courant important il vaut mieux utiliser le 0 que le 1 (limité à 400 μ A)

L'immunité au bruit que ce soit à l'état haut ou à l'état bas est au minimum de 0,4 volts

PARAMETRE		Standard 7400	HS 74H00	LP 74L00	Unités
Tension d'alimentation	V _{cc}	5 ±5%	5 ±5%	5 ±5%	Volts
Tension minimale de sortie à l'état haut	VOH min	2,4	2,4	2,4	Volts
Tension maximale de sortie à l'état bas	VOL max	0,4	0,4	0,4	Volts
Tension minimale d'entrée à l'état haut	VIH min	2,0	2	2	Volts
Tension maximale d'entrée à l'état bas	VIL max.	0,8	0,8	0,7	Volts
Courant de sortie maximum à l'état haut	IOH max.	-400	-500	-200	μA
Courant de sortie maximum à l'état bas	IOL max.	16	20	3,6	mA
Courant d'entrée maximum à l'état haut	I _{IH} max	40	50	10	μA
Courant d'entrée maximum à l'état bas	I _{IL} max	-1,6	-2	-0,18	mA
Sortance		10	12	2	
Consommation moyenne d'une porte(*)	I _{cc}	2	4,5	0,2	mA
Temps de propagation de 0 à 1 typique	T _{plh}	11	5,9	35	nS
Temps de propagation de 0 à 1 maxi	T _{plh} max	22	10	60	nS
Temps de propagation de 1 à 0 typique	T _{p_{hl}}	7	6,2	31	nS
Temps de propagation de 1 à 0 maxi	T _{p_{hl}} max	15	10	60	nS
Facteur de qualité (V _{cc} I _{cc} . T _p)	F _{dq}	100	135	30	pJ

* consommation moyenne la sortie reste un temps identique au 1 et 0 logique.

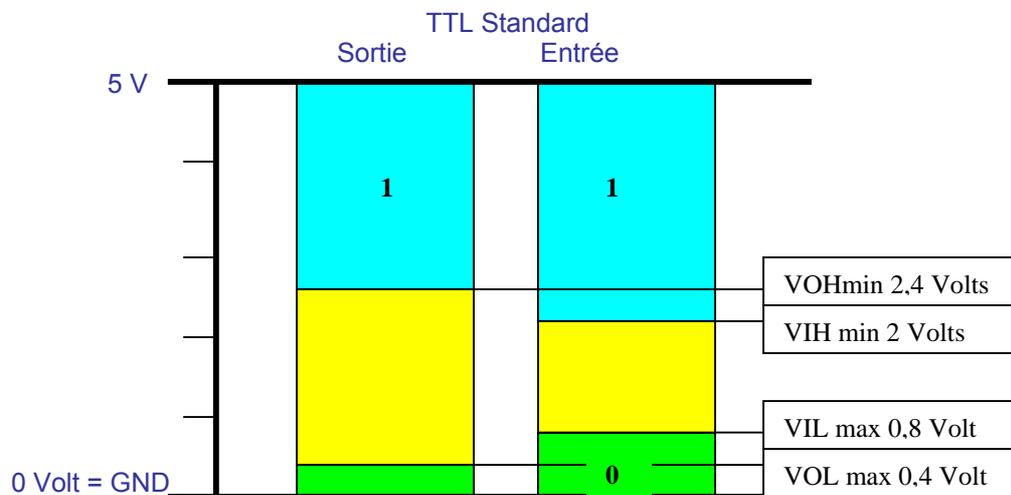


Figure III - 10: Représentation des tensions d'entrée et de sortie d'une porte TTL standard

Fan-in Fan-out

La consommation de l'entrée de la porte TTL standard est considérée comme l'unité de base Fan In de 1 Cette unité de base est utilisée

Une entrée d'opérateur logique qui possède un FAN IN de 1 absorbe au 1 logique 40 μA et peut débiter au 0 logique 1,6 mA.

Ainsi, une entrée ayant un fan in de 2 absorbera des courants deux fois plus forts au 1 logique 80 pA et débitera au 0 logique 3,2 mA (-3,2 mA).

Le Fan Out est l'aptitude d'une sortie à piloter des entrées au fan in de 1 ainsi une porte TTL standard qui peut fournir 400 liA au 1 logique et absorber 16 mA au 0 à donc un Fan Out de 10

III - 2 - 5 - Les références TTL

Les circuits TTL sont référencés selon deux normes, la norme Industrielle et la norme militaire. Les circuits aux normes industrielles sont classés dans la série « 74 » alors que ceux répondant aux normes militaires font partie de la série « 54 »

Les deux séries se différencient essentiellement par leur température d'utilisation et la fourchette de tension d'alimentation:

SERIE	Temp mini	Temp maxi	Vce mini	Vcc maxi
54	- 55°C	125°C	4,5 V	5,5 V
74	0°C	70°C	4,75 V	5,25 V

La référence d'un circuit TTL se présente de la façon suivante:

SN 74 LS 00 A

SN	Le premier groupe de lettre (préfixe) est caractéristique du fabricant (le fondeur) ici Texas instrument on pourra trouver MC pour Motorola, DM pour National Semiconducteur etc
74	A l'origine 54 et 74 signifiait TTL norme Militaire ou Industrielle mais ces références ont été étendues à certaines familles de CMOS assurant les mêmes fonctions et possédant des brochages identiques que nous étudierons plus loin
LS	Le deuxième groupe de lettres (inexistant pour les TTL standards) indique la sous famille ici LS= Low power Schottky
00	Le deuxième groupe de chiffres (de 2 à 4) est caractéristique de la fonction et de l'organisation de celle ci dans le boîtier ici 4 NAND à deux entrées, 04→ 6 inverseurs, 10 → 3 portes NAND à 3 entrées
A	Le suffixe est la référence du boîtier. Pour un même boîtier le suffixe peut être différent d'un fabriquant à l'autre.

III - 3 - La technologie TTL.Schottky

Un des problèmes à résoudre lors de la conception d'une porte logique est que celle-ci doit pouvoir piloter un nombre variable de portes (fréquemment de une à 10). Il s'en suit que les transistors qui génèrent les états logiques doivent être saturés quelle que soit la charge or si un transistor est saturé pour 10 charges pour une charge il sera sursaturé et de ce fait long à bloquer.

Nous avons vu que la diode schottky, pour des courants faibles, admet une tension de déchet voisine de 0,3 volt. Si nous plaçons une diode schottky en parallèle avec la jonction base collecteur d'un transistor, la tension de collecteur ne peut descendre en dessous de 0,3 volts par rapport à la base d'où un Vce de 0,4 volt minimum. Il est ainsi possible d'éviter une sursaturation d'un transistor.

C'est en 1970 qu'ont été introduites les familles M Schottky et TTL Schottky Low Power de référence 74S (54S) et 74LS (54LS)

Schéma de base de la porte Low Power Schottky

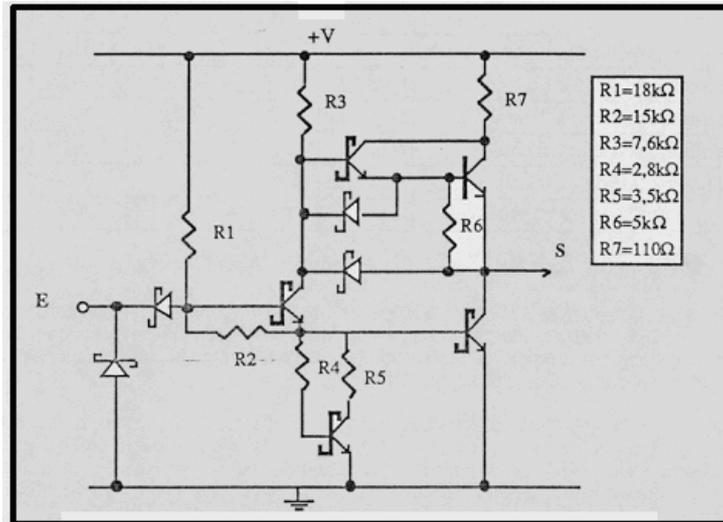


Fig III - 11 – Schéma interne d'une porte Inverseuse en TTL Low Power Schottky

Amélioration des performances

Technologie	Standard	High Speed	Low power	Schottky	Low power Schottky
Puissance absorbée	10 mW	22 mW	1 mW	19 mW	2 mW
Temps de propagation	9 nS	6 nS	30 nS	3 nS	9 nS
Facteur de qualité	90	132	30	57	18

On pourra rapprocher les résultats obtenus avec la version Schottky de la High Speed. Pour des consommations voisines le gain sur le temps de propagation est de deux. Semblablement, la LS qui offre un temps de propagation identique à la TTL Standard réduit la consommation d'un facteur 5.

Nous ne nous étendons pas plus sur ces circuits aujourd'hui obsolètes

III - 4 - La technologie TTL Schottky Avancée

Cette technologie introduite en 1979 sous la référence 74AS et 74ALS par Texas Instrument et sous le nom de FAST (74F) par Fairchild (Fairchild Advanced Schottky Technologie) est une évolution de la précédente. Le schéma interne est plus sophistiqué, mais l'amélioration des performances est surtout due à l'amélioration des techniques de fabrication.

La technologie ISOPLANAR qui isole les transistors entr'eux à l'aide de barrières d'oxyde au lieu de diffusions P, l'auto-alignement de certaines diffusions et la maîtrise du masquage par faisceau d'électrons permettent de réaliser des transistors beaucoup plus petits que précédemment. Il découle de cette technique des capacités parasites beaucoup plus petites que dans la technologie LS d'où des temps de propagation plus faibles.

Comparaison des technologies Schottky

Technologie	Standard	S	LS	AS	ALS	FAST
Puissance absorbée	10 mW	19 mW	2 mW	22 mW	1 mW	8 mW
Temps de propagation	9 nS	3 nS	9 nS	1,5 nS	4 nS	3,3 nS
Facteur de qualité	90	57	18	33	-4	26

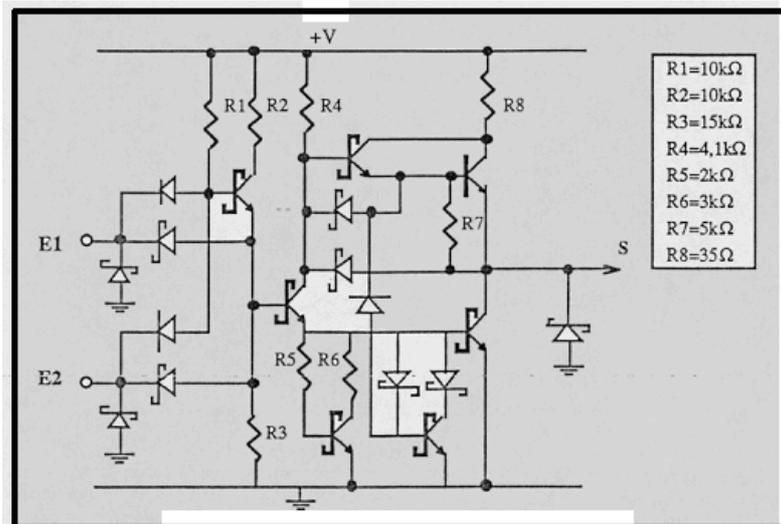


Fig III - 12 – Schéma interne d'une porte Nand à 2 entrées en TTL Low Power Schottky Avancée

PARAMÈTRE,		AS 74AS00	ALS 74ALS00	FAST 74F00	Unités
Tension d'alimentation	Vcc	5±10%	5±10%	5±10%	Volts
Tension minimale de sortie à l'état haut	VOH min	2,7	2,7	2,7	Volts
Tension maximale de sortie à l'état bas	VOL max	0,5	0,5	0,5	Volts
Tension d'entrée à l'état haut	VIH min	2,0	2,0	2	Volts
Tension maximale d'entrée à l'état bas	VIL max	0,8	0,8		Volts
Courant de sortie maximum à l'état haut	IOH max	-2000	-100	-1000	μA
Courant de sortie maximum à l'état bas	IOL max	20	8	20	mA
Courant d'entrée maximum à l'état haut	IIH max	50	20	20	μA
Courant d'entrée maximum à l'état bas	IIL max	-0,5	-0,2	-0,6	mA
Sortance (Fan out)		12	5	12	
Consommation moyenne d'une porte(*)	Icc	4,4	0,2	1,6	mA
Temps de propagation de 0 à 1 typique	Tplh	2,7	7	3,5	nS
Temps de propagation de 0 à 1 maxi	Tplh max	4,5	11	5	nS
Temps de propagation de 1 à 0 typique	Tphl	2,5	5	2,9	nS
Temps de propagation de 1 à 0 maxi	Tphl m		8	4,3	nS
Facteur de qualité (Vcc. Icc . Tp)	Fdq		4	26	pJ

III - 5 - Les sorties des portes TTL

III - 5 - 1 - La sortie Totem Pole

Nous avons déjà étudié cette sortie dans les schémas précédents

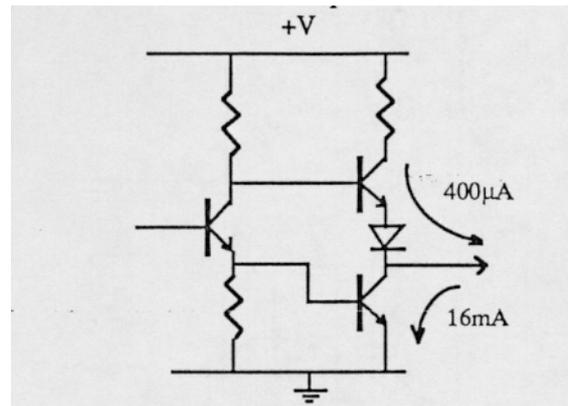


Fig III – 13 - : Sortie Totem Pole

Les courants précisés sur la figure ci-dessus sont les courants que la sortie Totem Pole de la TTL standard peut admettre. Au 1 logique la porte peut débiter $400 \mu\text{A}$ en conservant une tension de 2,4Volts. Au 0 logique la porte peut absorber un courant de 16 mA sans que la tension monte au dessus de 0,4 Volt . Il est recommandé lorsqu'on souhaite commander un courant de plusieurs milliampères d'utiliser le 0 plutôt que le 1 logique.

Exemple :

Commande d'une Diode Electro Luminescente par une porte TTL.

Une LED en GaAs (la diode rouge classique) nécessite souvent un courant de 10 mA sous une tension de 1,6 Volt. Ces valeurs n'entrent pas dans les garanties du 1 logique TTL aussi nous utiliserons le 0 . La résistance sera calculée pour limiter le courant à la valeur désirée ici , pour 10mA et une tension aux bornes de la résistance de :

$$5\text{V} - (1,6\text{V} + 0,4\text{V}) = 3\text{volts}$$

nous devons connecter une résistance de $R = \frac{3}{0,01} = 300\Omega$

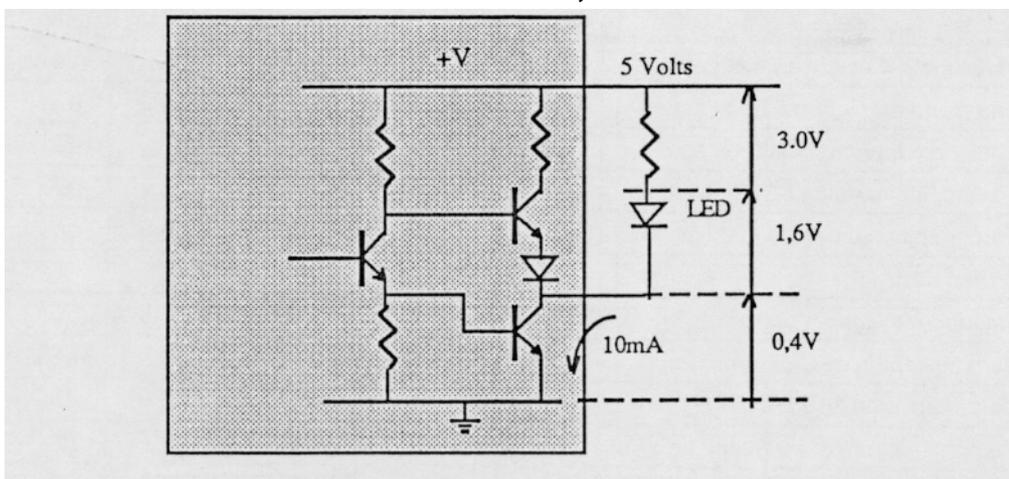


Fig III – 14 - Commande d'une LED par TTL

Les deux transistors de sortie conduisent alternativement et la résistance de collecteur est de faible valeur (130 Ω pour la porte standard) mais pendant la commutation , un transistor se bloque et l'autre devient passant un fort courant passe qui peut provoquer des perturbations sur la ligne d'alimentation

Deux sorties totem pole ne peuvent être connectées ensemble. En effet si nous réunissons deux sorties de ce type, les portes ne recevant pas les mêmes variables, lorsque l'une fournit du 1 et l'autre du 0 nous nous trouvons en présence d'un véritable court-circuit, entraînant d'une part un courant intense et d'autre part un état logique incertain.
Ces sorties ne doivent être réunies qu'à l'aide d'une autre porte logique.

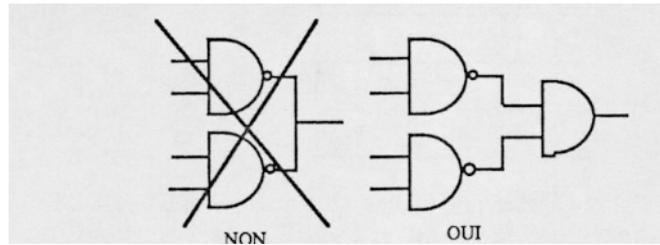


Fig III – 15 - : Assemblage de portes à sortie totem pole

III - 5 - 2 - La- sortie à collecteur ouvert (Open Collector)

La sortie à collecteur ouvert va permettre d'assurer deux fonctions:

- 1 - Associer deux portes par une simple connexion
- 2 - Permettre le passage à une logique de tension différente

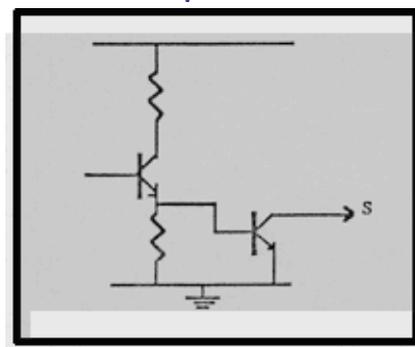


Fig III – 16 - Sortie à collecteur ouvert (Open Collector)

Dans la sortie à collecteur ouvert, la partie supérieure de la sortie totem pole a été supprimée la sortie n'est plus capable de fournir un courant au 1 logique. A l'état haut le transistor de sortie est bloqué à l'état bas il est passant.

Lorsque le collecteur est rappelé au +V de l'alimentation par une résistance (Résistance de Pull Up), nous nous retrouvons dans la même configuration de sortie qu'avec l'opérateur DTL Transistor bloqué la sortie fournit du +V transistor passant la sortie est à la terre.

La résistance peut être connectée à une alimentation de tension différente dans ces conditions la tension de sortie sera V2 au lieu de V1 à l'état haut et toujours 0 à l'état bas. En général le transistor de sortie peut supporter une tension de 15 voir 30 Volts il se sera ainsi possible assurer l'interface avec une logique fonctionnant sous des tensions plus élevées. La résistance de rappel pourra être remplacée par la bobine d'un relais 12 ou 24 volts le courant parcourt alors la bobine lorsque la sortie est à l'état bas. Dans ce dernier cas, la bobine étant inductive, l'interruption brutale du courant peut provoquer une surtension préjudiciable pour le transistor de sortie. Une diode de « roue libre » écrasera la surtension

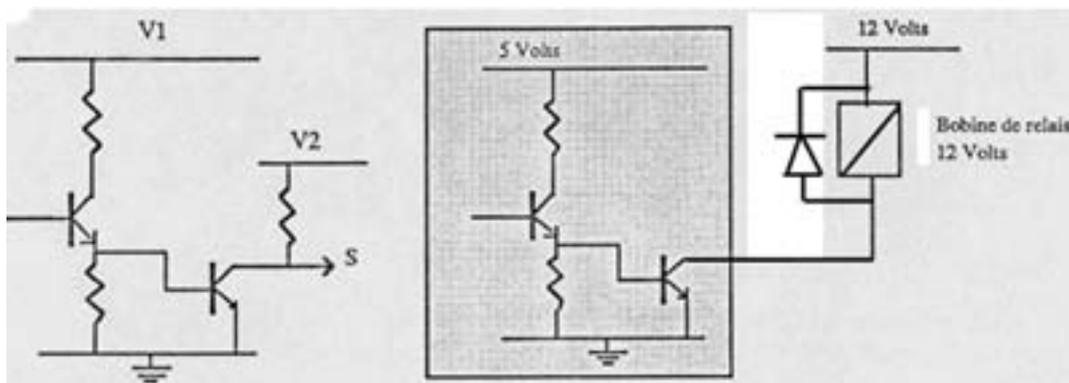


Fig III - 17 : Sortie à collecteur ouvert rappelée à un potentiel V2 et commande d'un relais 12 Volts par une logique 5 volts

On peut réunir deux sorties par une simple connexion, la table de vérité est alors :

S1	S2	S
0	0	0
0	1	0
1	0	0
1	1	1

La connexion ainsi réalisée assure une fonction ET. On dira un ET câblé. Fréquemment en informatique l'état actif est le 0, dans ces conditions, le montage ci-dessus est un OU (Wired OR) . Il appartient alors à l'utilisateur de « décoder » l'information.

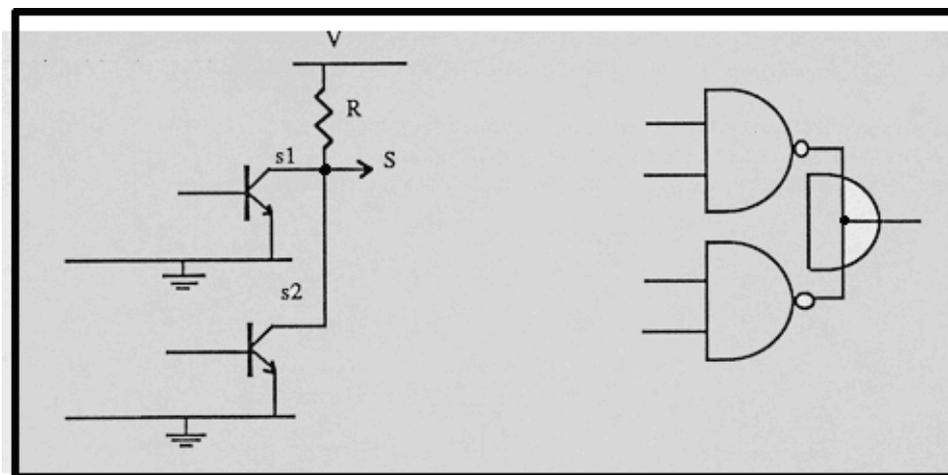


Fig III – 18 - Association en ET Logique de deux sorties à collecteur ouvert

Attention ! Il convient de se méfier de ce type de raisonnement dans le domaine informatique. Dans ce domaine, fréquemment le 0 logique est l'état actif l'association ci-dessus devient alors un OU câblé.

Logique positive			Logique négative		
S1	S2	S	S1	S2	S
0	0	0	0	0	0
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	1	1	1
ET LOGIQUE			OU LOGIQUE		

Lorsque la sortie à collecteur ouvert pilote une autre porte TTL La résistance qui relie la base du transistor d'entrée au +V de la seconde porte tient lieu de résistance de rappel, une résistance externe est alors inutile

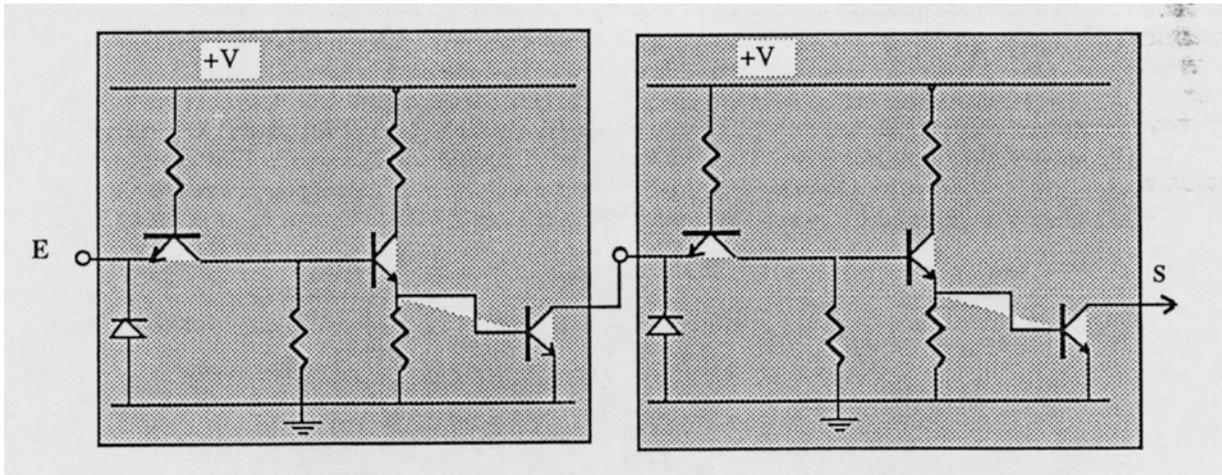


Fig III – 19 - Deux portes inverseuses à collecteur ouvert montées en série

Bien entendu, les performances par rapport à des portes Totem pole sont dégradées , les temps de propagation sont dépendants de la charge.

III - 5 - 3 - La sortie trois états (Tri Stats)

En informatique, un bus est ensemble de lignes sur lesquelles plusieurs sorties et plusieurs entrées sont connectées à un instant donné, une seule sortie est en relation avec une seule entrée. Les sorties inactives à cet instant ne doivent pas interférer avec la sortie active il est donc nécessaire qu'elles se comportent comme si elles étaient déconnectées du bus. C'est pour répondre à ce besoin que la sortie trois états a été conçue . Elle pourra se comporter comme une sortie classique pouvant fournir du 0 et du 1 et se mettre en haute impédance. dans ce dernier état la sortie n'est ramenée ni à la terre ni au +V

Dans le schéma ci-dessous un transistor T5 et les résistances R6 et R7 ont été rajoutés ainsi qu'une entrée \overline{OE} , Output Enable (barre) autrement dit validation de la sortie active à 0 .

Lorsque cette entrée est au 0 le transistor T5 est bloqué la porte se comporte comme une porte totem pole classique placée au 1 cette entrée rend le transistor T5 passant ce qui bloque T2 T3 et T4 la sortie S est alors isolée du +V comme de la terre, elle est en haute impédance (HZ).

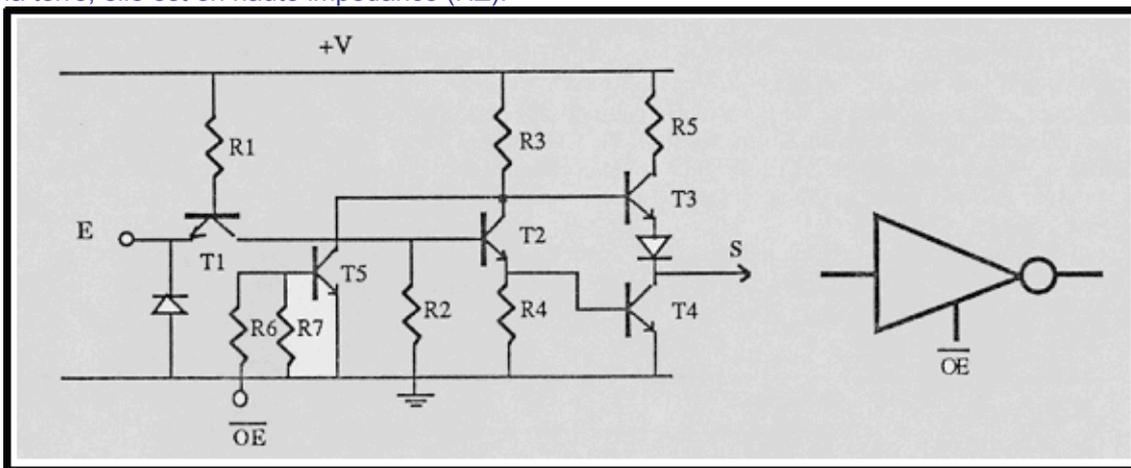


Fig III - 20 Porte inverseuse à sortie trois états et son symbole

Le schéma ci-dessous deux portes nand trois états sont connectées à une ligne bus les entrées OE ne doivent pas être activées simultanément

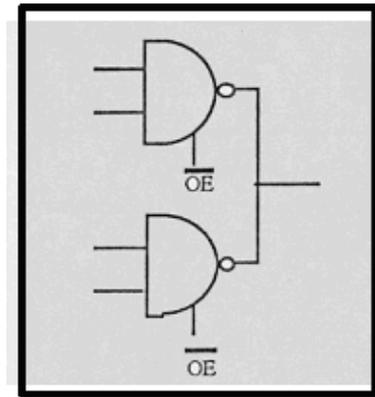


Fig III – 21 - Connexion de deux portes trois états à un bus

Dans une porte trois états on distinguera plusieurs temps de propagation

- Entre l'entrée et la sortie, comme toutes portes
- Entre la commande de validation et l'établissement de la sortie