

IV TECHNOLOGIE À TRANSISTORS BIPOLAIRES NON SATURÉS

IV - 1 - Base de la technologie ECL

Apparue en 1962 La technologie ECL (Emitter Coupled Logic, logique à couplage d'émetteur) a été commercialisée en 1968.

Comme nous l'avons vu précédemment, la saturation des transistors rend ceux-ci difficiles à bloquer. La logique ECL qui utilise des transistors bipolaires non saturés est par essence plus rapide que la logique TTL. En contrepartie, les états logiques en sortie de ces opérateurs seront, pour des tensions d'alimentation voisines, moins marqués dans cette technologie. Il découle de ceci une plus grande difficulté de mise en oeuvre.

Le schéma de l'opérateur de base ECL repose sur l'amplificateur différentiel.

Supposons dans le schéma ci-dessous $R1=R2=R3= 1M\Omega$, $V=5Volts$; et $VZ=2,6Volts$. La tension d'émetteur est alors de 2 Volts et le courant dans $R3 = 2mA$ et, en l'absence de polarisation de E, T1 est bloqué, le courant dans R1. est nul et dans R2 2mA (au courant de base près). La chute de tension dans R2 est alors de 2 Volts et le Vce de T2 est $V - (Ur2 + Ur3) = 5 - (2+2) = 1 Volt$ T2 n'est donc pas saturé. Le potentiel de S2 = 3 Volts et celui de S1 = 5 Volts

Si nous appliquons en E une tension VE légèrement supérieure à VZ le potentiel des émetteurs croit, la tension Vbe de T2 diminue et T2 a tendance à se bloquer. Si l'écart entre VE et VZ est suffisant, T2 se bloque et T1 devient passant c'est alors le tour de S1 de passer à 3 volts et S2 remonte à 5 volts

Si l'on mesure la différence de potentiel entre S1 et S2 lorsque $VE < VZ$ ---) $Vs1s2 = +2Volts$ au contraire si $VE > VZ$ --> $Vs1s2 = -2Volts$. Le montage amplifie la différence de potentiel entre E et VZ. Les transistors ne sont jamais saturés.

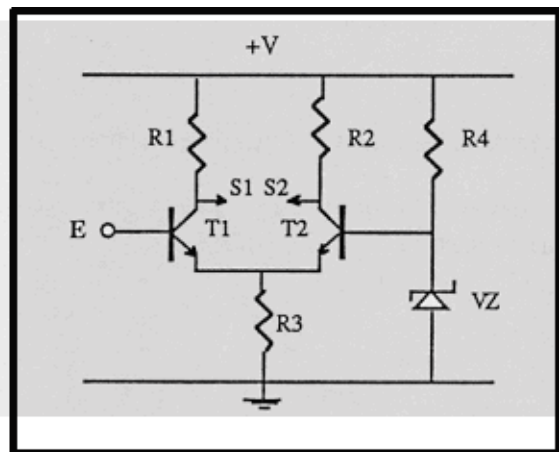


Fig IV - 1 - Schéma de principe de la technologie ECL

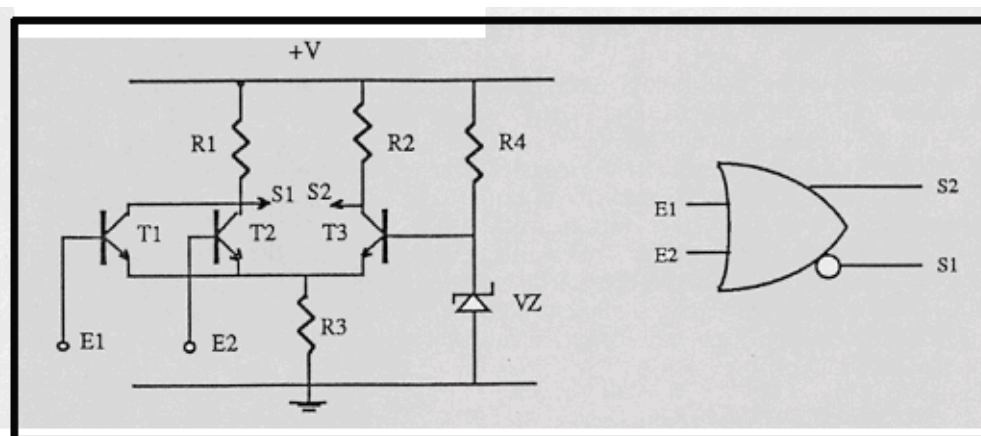


Fig IV - 2 - Schéma de base de la porte ECL et son symbole

Si nous admettons qu'une sortie S à 5 Volts est au 1 logique et à 3 volts au 0 logique établissons la table de vérité de la porte ci-dessus:

E1	E2	S1	S2
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	1

La porte de base assure donc les deux fonctions OU et NOR

$$S1 = \overline{E1 + E2}$$

$$S2 = E1 + E2$$

IV - 2 - La technologie ECL 10.000 (10K)

Plusieurs technologies sont entrées en concurrence dans les premières années de la mise sur le marché, c'est la série ECL 10000 (que les professionnels appellent communément la 10K) qui a triomphé. Elle est maintenant supplantée par une nouvelle série plus rapide la 100K.

IV - 2 - 1 - Schéma de la porte de base ECL 10K

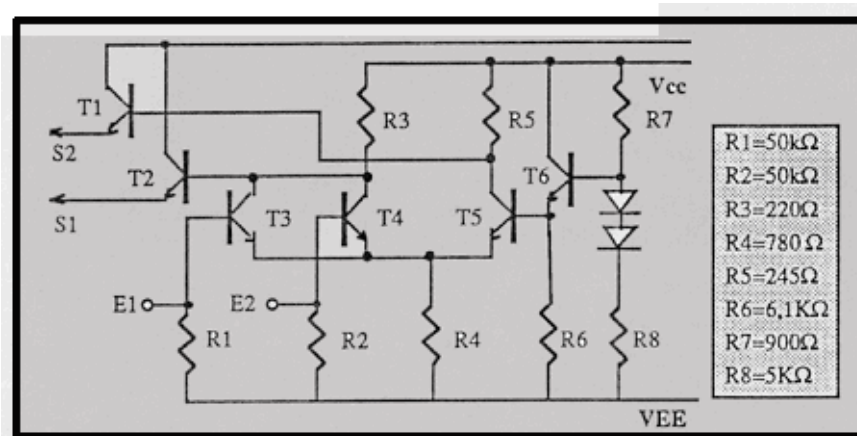


Fig IV - 3: Schéma de la porte OU – NOR en technologie ECL 10K

R7 et R8 ainsi que les deux diodes créent une tension de référence, les deux diodes compensent les jonctions base émetteur de T5 et T6 de façon à ce que la tension des émetteurs ne soit pas sensible à la température.

On retrouve les transistors de la porte de base T3, T4, T5 mais plutôt que de sortir les états logiques sur les collecteurs, des transistors T1 et T2 ont été placés de telle sorte que l'on ne "tire" pas trop de courant sur l'amplificateur différentiel. Une résistance devra être connectée entre les sorties S1 ou S2 et VEE ou VIT de façon à réaliser des montages en émetteur suiveur. La tension VTT n'apparaît pas sur ce schéma, c'est une tension intermédiaire entre Vcc et VEE, nous en verrons la nécessité dans le chapitre consacré à la mise en oeuvre des circuits.

Deux entrées sont prévues pour Vcc en effet ces circuits sont très sensibles aux variations de tension de Vec or nous verrons dans les caractéristiques de ces circuits que les courants commutés sont importants, il est possible de séparer l'alimentation des transistors de sortie de l'alimentation des amplificateurs différentiels. En général Vcc est connecté à la terre et VEE à -52 Volts (la tension VTT sera généralement de -2Volts)

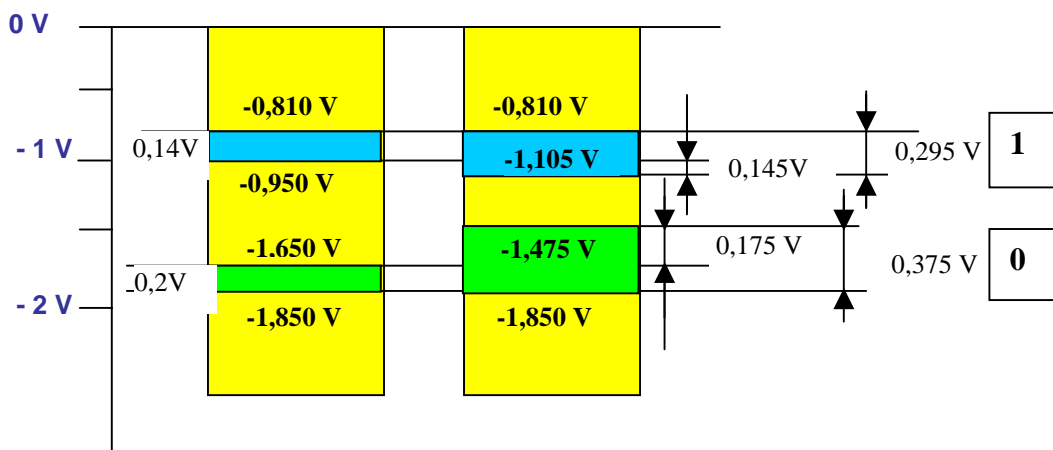
IV - 2 - 2 - Caractéristiques de la porte de base ECL 10K

PARAMÈTRE (à 25°C)		ECL 10K	Unités
Tension d'alimentation	Vcc		Volts
Tension d'alimentation	VEE	- 5,2±10%	Volts
Tension minimale de sortie à l'état haut*	VOH min	-0,96	Volts
Tension maximale de sortie à l'état haut*	VOH max	-0,81	Volts
Tension minimale de sortie à l'état bas*	VOL min	-1,85	Volts
Tension maximale de sortie à l'état bas*	VOL max	-1,65	Volts
Tension maximale d'entrée à l'état haut	VIH max	-0,81	Volts
Tension minimale d'entrée à l'état haut	VIH min	-1,105	Volts
Tension minimale d'entrée à l'état bas	VIL min	-1,85	Volts
Tension typique d'entrée à l'état bas	VILT	-1,475	Volts
Courant d'entrée maximum à l'état haut	I _{IH} max		μA
Courant d'entrée minimum à l'état bas	I _{IL} min	10	μA
Consommation moyenne d'une porte	ME		mA
Temps de propagation de 0 à 1 typique	T _{plh}		ns
Temps de propagation de 1 à 0 typique	T _{p_{hl}}		ns
Facteur de qualité (Vcc . Icc . Tp)	F _{dq}	50	pJ

* Toutes ces valeurs sont données pour des sorties débitant sur des résistances de 50Ω connectées à - 2 Volts

Il convient de se méfier des caractéristiques qui ne font pas apparaître les courants commutés par les transistors de sortie. En effet, les circuits ECL étant très rapides, nécessitent des lignes adaptées pour le transport du signal aussi les transistors montés en émetteur suiveur (emitter followers) seront amenés à débiter dans des résistances de faible valeur (50Ω par exemple) ils pourront donc fournir des courants importants, ils sont donnés par le fabricant comme pouvant débiter des courants de 50 mA.

D'autre part, l'excursion en tension est faible (VOH - VOL) est faible 1,04 Volt au mieux et 0,69 Volt dans le pire des cas. L'immunité au bruit peut être réduite à 0,145 Volt



IV - 3 - Technologie ECL 100K

La technologie ECL 100K que l'on appelle aussi subnanoseconde (le temps de propagation peut descendre à 0,7 nS) a été conçue en technologie isoplanar (marque déposée Fairchild ainsi que planar d'ailleurs) La taille des transistors a été réduite par 4 en surface de $3000\mu\text{m}^2$ à $770\mu\text{m}^2$ et l'isolation entre transistors est assurée par de l'oxyde de silicium, technologie déjà vue pour les TTL FAST et AS qui sont apparues après les ECL100K. Le schéma a été perfectionné notamment à l'aide d'un circuit générant les tensions de référence

IV - 3 - 1 - Schéma de la porte de base ECL 100K

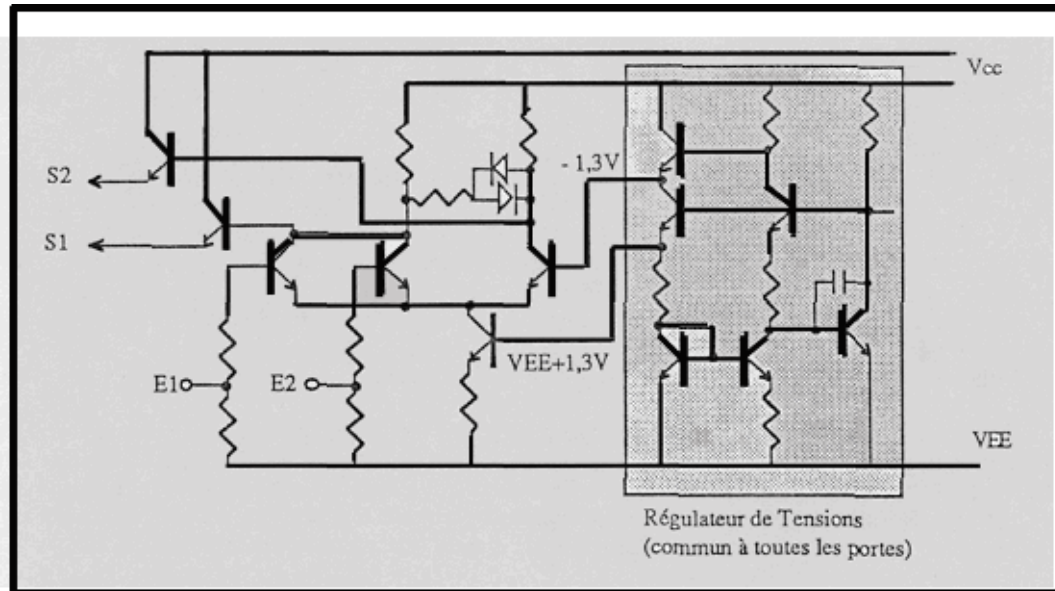


Fig IV - 4 - Schéma de la porte de base ECL 100K

IV - 3 - 2 - Caractéristiques de la porte de base ECL 100K

PARAMÈTRE(à 25 -C)		ECL 100K	Unités
Tension d'alimentation	Vce	0	Volts
Tension d'alimentation	VEE	- 4,5 ±7%	Volts
Tension minimale de sortie à l'état haut*	VOH min	-1,025	Volts
Tension maximale de sortie à l'état haut*	VOH max	-0,880	Volts
Tension minimale de sortie à l'état bas*	VOL min	-1,810	Volts
Tension maximale de sortie à l'état bas*	VOL max	- 1,620	Volts
Tension maximale d'entrée à l'état haut	VIH max	-0,880	Volts
Tension minimale d'entrée à l'état haut	VIH min	-1,165	Volts
Tension minimale d'entrée à l'état bas	VIL min	-1,810	Volts
Tension maximale d'entrée à l'état bas	VIL max	- 1,475	Volts
Courant d'entrée maximum à l'état haut	IiH max		µA
Courant d'entrée minimum à l'état bas	IiL min	0,5	µA
Consommation moyenne d'une porte	IEE	9,5	mA
Temps de propagation de 0 à 1 typique	Tph	0,75	nS
Temps de propagation de 1 à 0 typique	Tphi	0,75	nS
Facteur de qualité (Vcc.Icc.Tp)	Fdq	30	pJ

* Toutes ces valeurs sont données pour des sorties débitant sur des résistances de 50Ω connectées à - 2 Volts

Pour la réalisation de circuits complexes, les portes internes peuvent atteindre des temps de propagation $<0,5\text{nS}$ et un facteur de qualité $<5\text{pJ}$