

V - TECHNOLOGIE À BASE DE TRANSISTORS À EFFET DE CHAMP MOS

Us premières portes logiques conçues à l'aide de transistors à effet de champ ont été réalisées par RCA avec des transistors MOS à enrichissement complémentaires (CMOS), c'est à dire canal N et canal P associés. L'association sur une même puce de transistors N et P pose un délicat problème d'isolement qui, s'il n'est pas résolu peut donner lieu à un effet thyristor (Latch-Up) qui peut court-circuiter l'alimentation. Pour réaliser cet isolement il a été nécessaire de faire des barrières d'oxyde profondes et d'éloigner les transistors ce qui nuit gravement à la densité d'intégration.

De ce fait les premiers circuits MSI (Medium Scale Intégration - à échelle moyenne d'intégration 50 à 200 composants) puis LSI (Large Scale Integration - à grande échelle d'intégration 200 à 1000 composants) n'ont pu être réalisés dans cette technologie. Ils le furent d'abord en technologie P MOS dont les performances étaient très modestes puis en N MOS beaucoup plus performants. Ce n'est que depuis quelques années que des circuits LSI sont réalisés en technologie CMOS

V - 1 - Un peu d'histoire des CMOS

Les premières portes CMOS ont été échantillonnées en 1968 par RCA série 4000A. La série 4000B amélioration de la série précédente (tenue en tension améliorée, sorties bufferisées) est sortie 2 ans plus tard. Cette dernière est toujours commercialisée par de nombreux fabricants, RCA bien entendu et également sous la référence 14000 par Motorola notamment. Cette famille est originale elle n'est pas entièrement compatible avec les logiques TTL ni sur le plan électrique ni au point de vue des brochages.

En 1972 National Semi conducteur (NS) sort la 74C compatible avec les circuits TTL tant au point de vue électrique que des fonctions et des brochages. Cette famille arrivée alors que les 4000 sont déjà bien implantés n'a pas connu un grand essor.

C'est en 1981 qu'apparaissent les CMOS rapides séries 74HC et 74HCT d'abord par NS puis RCA avec sa famille QMOS. Cette famille est appelée à supplanter les 4000. Compatibles fonctions et brochages avec la TTL et électriquement pour la HCT.

La dernière famille CMOS, la CMOS Avancée (74AC) a été mise sur le marché par Fairchild et Texas Instrument en 1986.

On remarque que, depuis la 74C (ou 54C) et maintenant la 74HC et 74AC, 74 ne signifie plus seulement TTL

V - 2 - La CMOS 4000

V - 2 - 1 - La porte de base CMOS 4000

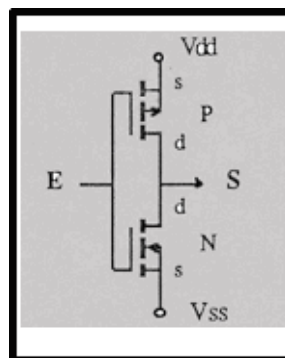


FIG V – 1 - : Schéma de principe de la porte inverseuse CMOS

La porte inverseuse est réalisée à l'aide de deux transistors MOS P ET N à enrichissement réunis par leurs drains et leurs grilles. La source du transistor canal P est connectée au + de l'alimentation (Vdd) et celle du transistor canal N au - de l'alimentation (Vss). L'entrée de l'inverseur s'effectue sur les grilles et la sortie sur les drains.

Lorsque l'entrée est connectée au - de l'alimentation, la tension grille source (Vgs) du transistor N est nulle, ce transistor est bloqué, alors que la tension Vgs du canal P est négative ce qui rend ce transistor passant La sortie est donc reliée à Vdd par l'intermédiaire du transistor P.

L'entrée placée à Vdd bloque le transistor P (tension drain source, Vds, nulle) et rend le transistor N passant (tension Vgs positive) la sortie est alors à Vss.

En résumé:

ENTRÉE	SORTIE
Vss (0)	Vdd (1)
Vdd (1)	Vss (0)

Nous sommes bien en présence d'un inverseur. On remarque l'extrême simplicité de cette porte. Sur le schéma ci-dessus les flèches représentent le substrat sur lequel sont diffusés source et drain des transistors.

Si nous représentons les diffusions des deux transistors de la porte inverseuse, nous voyons qu'il existe une jonction entre la source connectée à Vdd et le substrat N celui-ci est donc à un potentiel très voisin de Vdd. De même il existe une jonction entre le caisson P servant de substrat au transistor canal N et la source connectée à Vss. Le substrat du transistor N est donc à un potentiel voisin de Vss. Ces polarisations apparaissent sur le schéma de la porte inverseuse (Fig II-29), elles sont représentées par les flèches et leur connexion à Vdd et Vss.

On voit également qu'il existe deux jonctions entre la sortie (les deux drains connectés ensemble) et les substrats. Elles protègent en fait la sortie contre des surtensions éventuelles.

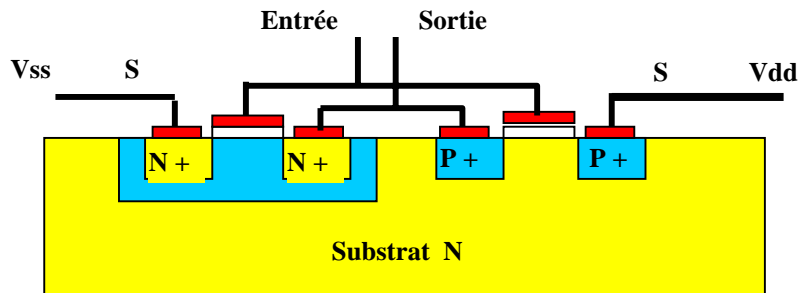


FIG V – 2 :- Représentation sommaire de la structure d'une porte inverseuse CMOS

La protection des entrées est assurée par un ensemble de diodes et résistances disposées (ou inhérentes à la technologie) sur chacune des entrées

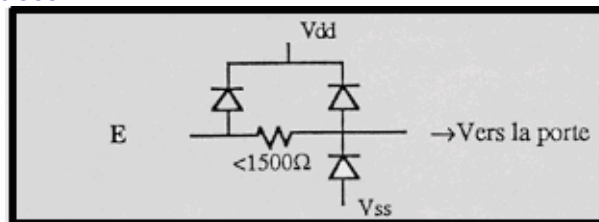


FIG V – 3 - : Protection des entrées des circuits CMOS (4000 - 14000)

La série 4000B est bufferisée (il faudrait dire tamponnée ...) c'est à dire qu'il existe sur les sorties un double inverseur dont le dernier étage est constitué de transistors de dimensions "relativement grandes" pour permettre une sortance importante. Les deux premiers étages sont constitués de transistors de petites dimensions puisque les courants à commander sont de très faible valeur. Le schéma ci dessous fait apparaître le buffer de sortie plus un étage inverseur destiné à compenser la fonction inverseuse du buffer de sortie. Apparaissent également les jonctions drain substrat protégeant les sorties ainsi que le circuit de protection des entrées.

Les jonctions qui figurent dans ce schéma vont assurer une protection efficace de la porte CMOS dès que celle-ci est connectée à son alimentation (Vdd et Vss). Lorsque ce circuit n'est pas raccordé à son alimentation il reste très sensible aux surtensions et notamment aux décharges électrostatiques du fait de sa très forte impédance d'entrée

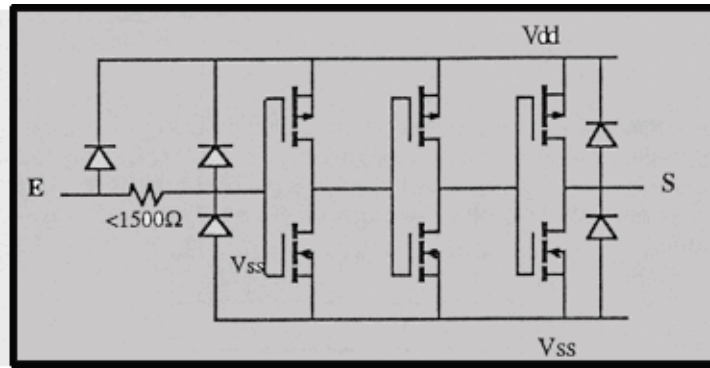


FIG V – 4 :- Porte inverseuse CMOS "bufferisée"

La simplicité de la porte inverseuse nous la retrouvons dans la conception des portes NAND et NOR représentées ci-dessous , les buffers de sortie n'ont pas été représentés:

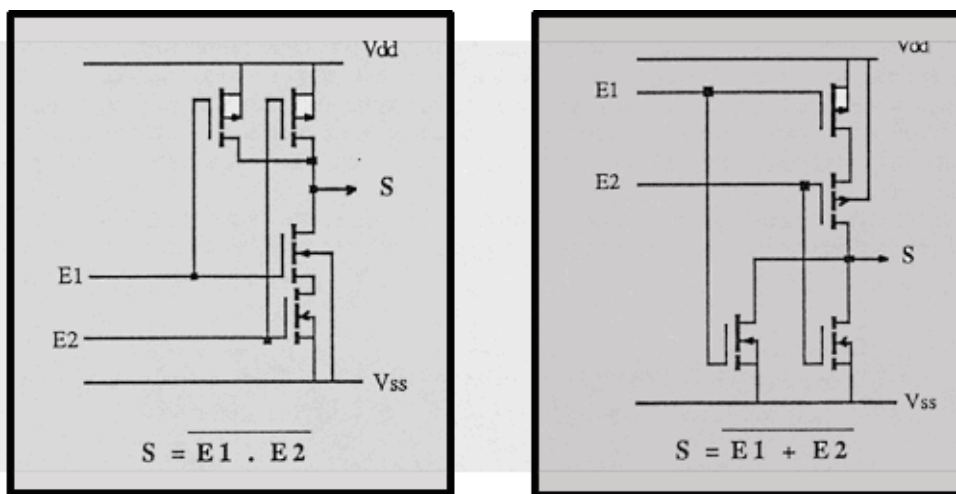


Fig V – 5 - Portes NAND et NOR CMOS

V - 2 - 2 - Phénomène de Latch Up

Le phénomène de Latch Up dans les portes CMOS est un effet thyristor parasite qui peut mettre en court-circuit l'alimentation par l'intermédiaire des diffusions du circuit

Un thyristor est un circuit composé de 4 couches P1,N1,P2,N2. Une métallisation sur la couche P1 constitue l'Anode une autre sur la couche N2 la cathode une connexion sur la couche P2 forme la gâchette. Ce composant se comporte comme le schéma équivalent composé de T1 et T2.

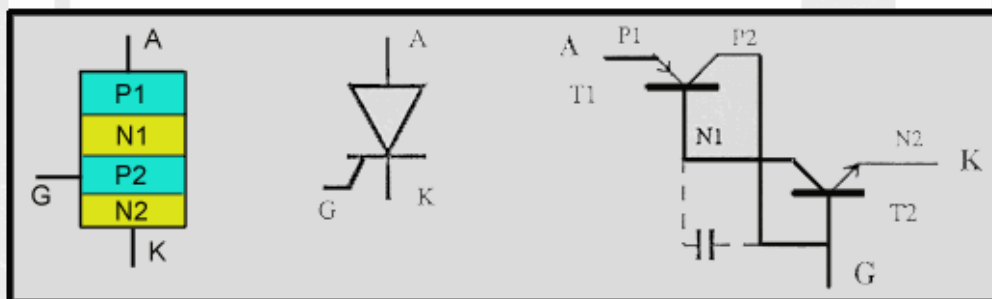


Fig V – 6 - : Le thyristor, son symbole et son circuit équivalent

Raisonnons sur le circuit équivalent. Si le thyristor est inséré dans un circuit alimenté en courant continu, pour que T1 conduise il faut un courant dans la jonction P1 N1 or pour qu'un courant passe dans cette jonction il faut que T2 conduise mais lui même ne conduira que si T1 conduit. Nous voyons que, pour que le thyristor conduise, il est nécessaire de faire passer une impulsion de courant entre G et K ce courant sera amplifié par T2 et deviendra le courant de base de T1 qui l'amplifiera à son tour créant ainsi un courant de base pour T2 etc..

Dés qu'un courant d'amorçage est injecté en G les deux transistors se saturent et le thyristor devient passant, il ne pourra se bloquer que par une annulation du courant qui le traverse.

Lorsque le thyristor est bloqué et polarisé correctement, c'est la jonction N1P2 polarisée en inverse, qui bloque le passage du courant, c'est aux bornes de cette jonction qu'apparaît la totalité de la tension d'alimentation or cette jonction présente une capacité parasite. Si le circuit est alimenté brutalement cette capacité va se charger jusqu'à l'apparition de la tension et le courant de charge va passer par les jonctions P1 N1 et P2N2 . Si ce courant est suffisant, le thyristor va auto-amorcer à la mise sous tension c'est l'amorçage en $\frac{dV}{dt}$

Ce phénomène est bien connu des spécialistes de l'électronique de puissance qui sont amenés à concevoir des circuits qui ralentissent la montée de la tension aux bornes des thyristors pour en éviter l'auto-amorçage.

Figure II - 30 nous constatons que , entre Vdd et Vss nous trouvons la diffusion P de la source du MOS P , le substrat N , le substrat P et la source N du MOS N soit 4 couches PNPN ce qui constitue une structure de thyristor. Le phénomène de Latch-Up est le phénomène d'auto-amorçage en $\frac{dV}{dt}$ du thyristor parasite constitué par ces 4 couches à la mise sous tension du circuit.

Les fabricants ont dû résoudre ce problème en diminuant le gain des deux transistors (qui constituent le thyristor) ce qui a été fait dans un premier temps en éloignant les deux transistors MOS et en les séparant à l'aide d'une barrière d'oxyde profonde. Les nouvelles technologies font appel à des couches conductrices profondes capables de dévier les courants de fuite afin d'éviter leur amplification. Ce phénomène de Latch-Up a été longtemps l'obstacle majeur à l'accroissement de la densité d'intégration et a cantonné longtemps les CMOS dans les circuits SSI ou au mieux MSI.

V - 2 - 3 - Les CMOS 4000 en commutateurs analogiques

Pour qu'un MOS canal P conduise, il est nécessaire que la tension grille source soit négative, pour un MOS N elle doit être positive. Dans le schéma ci-dessous en A et B le drain des transistors est connecté à la terre par l'intermédiaire d'une résistance, si la grille est à -V pour le MOS P et à +V pour le MOS N et si nous faisons varier la tension de Source de -V à +V la conductance (l'inverse de la résistance) prend l'allure des droites jointes. Au contraire si la grille du MOS P est +V celui-ci est bloqué pour toute tension de source inférieure à +V et si la grille du MOS N est -V celui-ci est bloqué pour toute tension de source supérieure à -V.

Lorsque nous montons les deux transistors en parallèle (schéma C), la grille du MOS P à +V et celle du MOS N à -V, l'ensemble des deux transistors est bloqué pour toute tension de source comprise entre +V et -V. Si nous inversons les tensions de grille -V sur le MOS P et +V sur le MOS N le montage à une conductance pratiquement constante pour une tension de source allant de -V à +V.

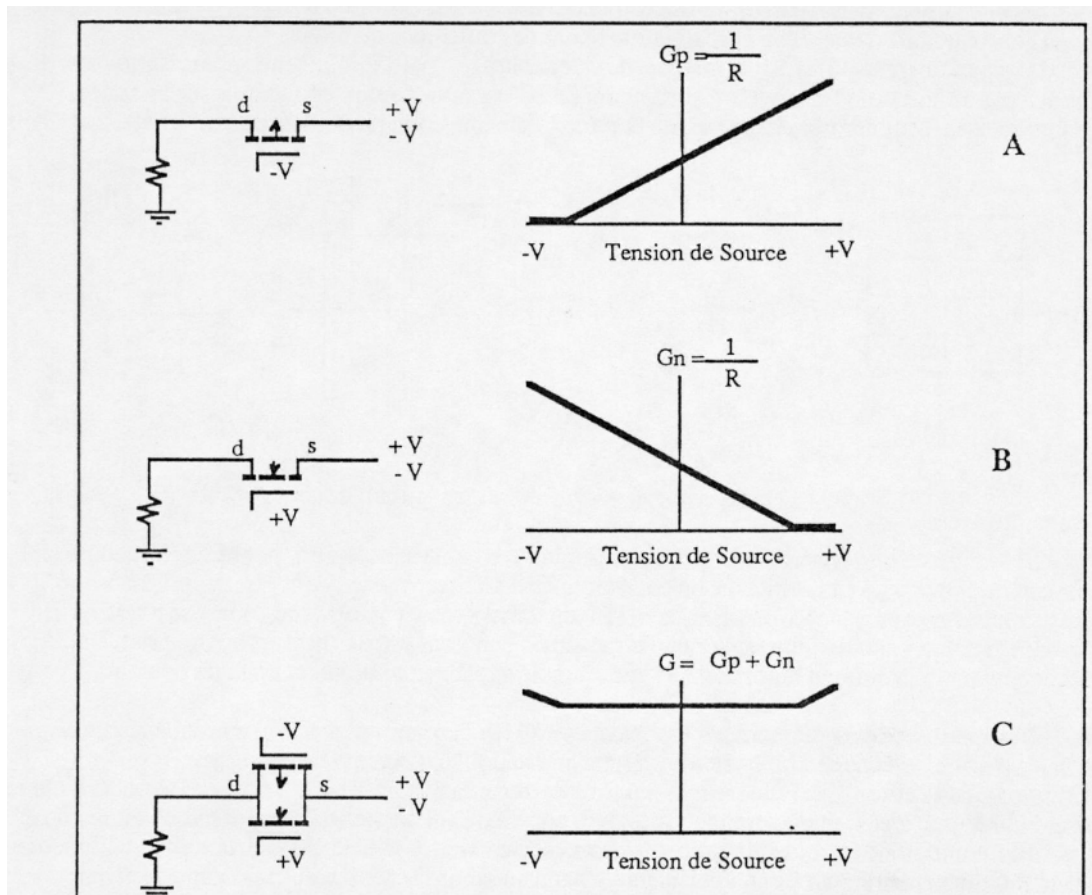


Fig V – 7 - : Conduction de deux MOS (P et N) en parallèle

Un ensemble de deux MOS complémentaires montés en parallèle forme donc un commutateur analogique qui piloté par une porte inverseuse, voir le schéma ci-dessous, sera bloqué pour toute tension dont la valeur est comprise entre Vdd et Vss lorsque E= Vdd et sera passant pour ces mêmes tensions lorsque E=Vss

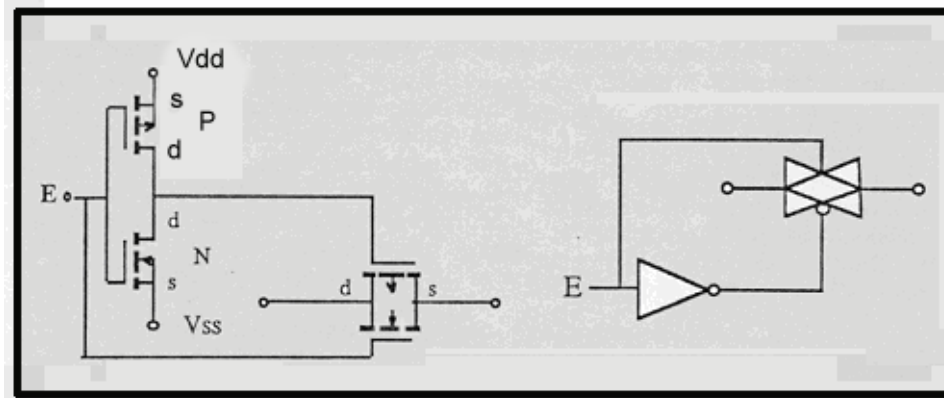


Fig V – 8 - : Commutateur analogique constitué de deux MOS P et N en parallèle et la porte inverseuse de commande

Ce type de commutateur se trouve dans plusieurs circuits de la famille 4000. Le 4007 inclut les transistors nécessaires pour réaliser trois portes inverseuses ou deux commutateurs analogiques pilotés par une porte inverseuse. Ces commutateurs peuvent être passants simultanément ou l'un passant pendant que l'autre est bloqué. Les multiplexeurs sont fréquemment constitués de ces

commutateurs. Ces commutateurs étant bidirectionnels, ils peuvent constituer aussi bien un multiplexeur qu'un démultiplexeur

Il est possible de commuter des états logiques avec ces circuits mais une entrée commandée par un de ces commutateurs se retrouve non polarisée "en l'air" lorsque le commutateur est bloqué ce qui est rigoureusement interdit avec les CMOS

V - 2 - 4 - Caractéristiques des CMOS 4000

Les CMOS n'utilisent pas le passage de courant dans des résistances et des jonctions ils vont donc pouvoir tolérer une large gamme de tension d'alimentation. Cette tension d'alimentation est comprise entre deux limites:

- - La limite inférieure qui est la tension nécessaire pour rendre le transistor passant
- - La limite supérieure qui est la tension de claquage du transistor.

V - 2 - 4 - 1 - Résistance ON des transistors de sortie.

On comprendra aisément que plus la tension est grande, plus le transistor est passant puisque le champ d'attraction des porteurs est plus important, d'autre part nous avons vu que la conductibilité du silicium dépendant de la mobilité des porteurs et que, d'autre part, la mobilité des trous est moins grande que celle des électrons il en découle que la résistance du transistor P est logiquement plus grande que celle du canal N cependant au niveau du buffer de sortie le concepteur aura la possibilité de jouer sur les dimensions géométriques des transistors afin d'obtenir des résistances voisines. La résistance 'ON' des transistors P et N dépendra essentiellement de la tension d'alimentation du circuit Cette tension (Vdd - Vss) doit être supérieure à 3 Volts et inférieure à 18 Volts. Le tableau ci-dessous donne une idée de ces résistances obtenues à partir des données Motorola 14000 série B (bufferisée) à 25 °C

Modèle	5 Volts	10 Volts	15 Volts
N	500Ω	250Ω	160Ω
P	520Ω	260Ω	220Ω

V - 2 - 4 - 2 - Fréquence maximale d'utilisation.

L'entrée d'une porte CMOS sera assimilable à une résistance (résistance de protection) en série avec un condensateur de 5pF. Il découle de ceci que l'assemblage d'une sortie de CMOS connectée à une entrée d'un circuit de la même famille pourra d'assimilé au circuit ci dessous:

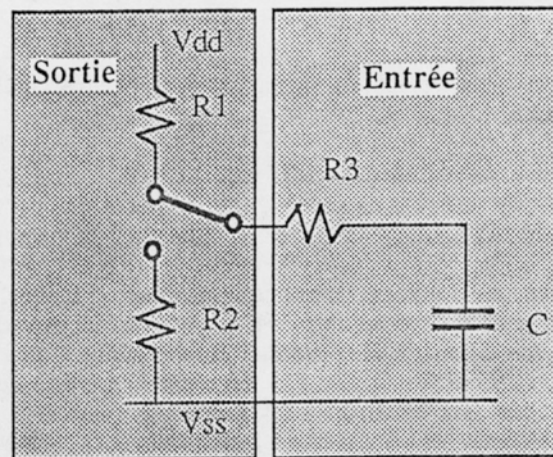


Fig V – 9 -: Association d'une sortie et d'une entrée CMOS

Cette association est donc un circuit RC Lorsque la sortie de l'opérateur va passer au 1 logique, il va être nécessaire de charger la capacité d'entrée , le signal d'entrée sera l'exponentielle caractéristique des circuits RC Il est à noter que le signal observé à l'entrée de l'opérateur, point commun des résistances R1,R3 ou R2,R3 n'est pas le signal actif, Le signal actif étant la différence de potentiel aux bornes du condensateur (grilles des transistors). En supposant que le temps de commutation des transistors est nul, ce qui est loin d'être le cas. On pourra admettre qu'à l'issue de 5 constantes de temps la tension de charge sera de 99% de la tension maximum il en sera de même pour le 0.

Ici , pour une tension d'alimentation de 5 Volts $t=(R1+R3).C=(500+1500) 5 \cdot 10^{-12} = 10^{-8} \text{ s}$

Il faudra donc $5 \cdot 10^{-8} \text{ s}$ (50ns) pour que la tension s'établisse au maximum auquel il faut ajouter le temps de déblocage du transistor (le fabricant donne 60nS) pour le passage à 1. Soit pour un cycle complet 220ns ce qui correspond à un signal de fréquence 4,5 MHz (ce qui est un peu optimiste) ceci pour une sortie alimentant une seule entrée.

Il est évident que, si une sortie alimente plusieurs entrées, la capacité à charger sera plus importante et la fréquence limite plus basse. C'est là un des inconvénients majeurs de la famille CMOS. Il est difficile d'une part de monter en fréquence et d'autre part de prévoir la fréquence maximale d'un montage.

Nous avons vu que la résistance de sortie est dépendante de la tension d'alimentation, il en sera donc de même pour la fréquence maximale. Plus la tension d'alimentation est élevée plus il sera possible de monter en fréquence du fait de la diminution de la résistance des transistors de sortie.

V - 2 - 4 - 3 - Immunité au bruit.

Connectés entre eux, les CMOS, se comportent donc comme des circuits RC, si nous leur en laissons le temps, les tensions appliquées sur les entrées des portes atteignent donc Vdd ou Vcc

Les tensions correspondants aux états logiques d'entrée sont centrées sur la tension d'alimentation à laquelle il faut ajouter ou retrancher 20%.

C'est à dire que la tension seuil du 1 logique, $V_{ih\ min} = \frac{V_{dd} + V_{ss}}{2} + (V_{dd} - V_{ss}) \cdot 0,2$

soit pour un circuit alimenté en 5 Volts

$$V_{ih\ min} = 2,5 + 5 \cdot 0,2 = 3,5 \text{ Volts}$$

$$V_{il\ max} = 2,5 - 5 \cdot 0,2 = 1,5 \text{ Volts}$$

L'immunité, au bruit sera donc intéressante puisque la sortie fournit Vdd et Vss. soit:

$$\text{au 1 logique } 5 - 3,5 = 1,5 \text{ Volt}$$

$$\text{au 0 logique } 1,5 - 0 = 1,5 \text{ Volt}$$

Bien entendu, ceci sera influencé par la tension d'alimentation. Nous obtenons les valeurs ci-dessous en fonction de la tension d'alimentation:

Vdd-Vss	5	Volts	immunité au bruit:	1,5	Volt
	10			3	Volts
	15			4	Volts

Les valeurs indiquées dans les caractéristiques sont inférieures à celles-ci car données pour des sorties fournissant un courant.

V - 2 - 4 - 4 - Consommation électrique.

En statique une porte logique CMOS ne consomme pratiquement rien de l'ordre du micro-Ampère sous 5 Volts.

Lors d'une commutation de la porte, un transistor de sortie se bloque et l'autre devient passant pendant cette opération un courant va circuler entre Vdd et Vss et ceci à chaque changement d'état de la sortie. Il en résultera un courant dépendant de la tension d'alimentation et de la fréquence de changement d'état.

De même, en statique, une entrée ne consomme pratiquement rien (0,1 micro Ampère) cependant lorsqu'une sortie fournit du 1 à une entrée elle doit charger la capacité d'entrée (7,5 pF) qui se videra à la fourniture du prochain 0. Cette consommation comme la précédente sera proportionnelle à la fréquence du signal fourni.

Le courant d'alimentation d'une porte CMOS est donc directement proportionnel à la fréquence de changement d'état de sa sortie et à sa tension d'alimentation.

V - 2 - 5 - Caractéristique de la porte NAND 4011.

Paramètre	Symbole	Tension d'alimentation			Unité
		5V	10V	15V	
Temps de montée et de descente sur les entrées maximum *	Tr Tf	15	5	4	µs
Tension d'entrée à l'état bas maximum	Vil max	1,5	3,0	4,0	V
Tension d'entrée à l'état bas typique	Vil typ	2,25	4,5	6,75	V
Tension d'entrée à l'état haut minimum	Vih min	3,5	7,0	11,0	V
Tension d'entrée à l'état haut typique	Vih typ	2,75	5,50	8,25	V
Courant de sortie pour Voh ci-dessous	IOH	-0,88	-2,25	-8,8	mA
Tension de sortie pour loh ci dessus	VOH	4,6	9,5	13,5	V
Temps de propagation Typique	Tplh hl	125	50	40	nS
Temps de propagation Maximum	Tplh hl	250	100	80	nS

* Si les temps de montée ou de descente ne peuvent être respectés, il sera nécessaire de disposer un trigger de Schmit en interface (voir le chapitre sur les mises en oeuvre).

Formules de calcul des paramètres dépendants de la capacité d'entrée (CI) des charges pilotées:

Temps de propagation:

	5 Volts	10 Volts	15 Volts
$t_{PLH} = t_{PHL} =$	$(0,9nS.CI) + 80nS$	$(0,36nS.CI) + 32nS$	$(0,26nS.CI) + 27nS$

Temps de montée tr et de descente tf:

	5 Volts	10 Volts	15 Volts
$t_r = t_f =$	$(1,35nS.CI) + 33nS$	$(0,60nS.CI) + 20nS$	$(0,40nS.CI) + 20nS$

Consommation électrique:

	5 Volts	10 Volts	15 Volts
It (pour les 4 portes)	$0,3\mu A.F(kHz)$	$0,6\mu A.F(kHz)$	$0,9\mu A.F(kHz)$

V - 3 - La famille CMOS 74C

Cette famille a été introduite en 1972 par National Semiconducteur, on y trouve les mêmes fonctions que dans la famille TTL. L'objectif de NS était probablement de permettre le remplacement des circuits TTL par des CMOS en vue d'une moindre consommation, mais les circuits CMOS se comportent différemment aussi la conception d'une carte TTL sera souvent différente d'une CMOS. Par exemple, les CMOS n'admettent pas d'entrée non polarisée, les temps de propagation sont fonction du nombre d'entrées pilotées par une sortie, les temps de propagation sont plus longs que pour les TTL surtout alimentés en 5 Volts Etc...

Cette famille ne pouvant remplacer les TTL de façon systématique, arrivée alors que la série 4000 de RCA est déjà bien implantée ne prit pas un grand essor, c'est la deuxième génération, la 74HC que nous verrons dans le chapitre suivant qui porta un coup décisif à la série 4000 qui malgré tout est encore employée du fait de son faible coût notamment et du large éventail de tension d'alimentation mais principalement pour la maintenance.

Caractéristiques de la porte NAND 74COO

Toutes les valeurs indiquées sont données pour une charge dont la capacité $CL = 50pF$ à $25^{\circ}C$

PARAMETRE	Symb	74COO			Unit
Tension d'alimentation (de 3 à 15 Volts)	Vcc	5	10	15	Volts
Tension d'entrée à l'état haut minimum	Vih min	3,5	7,0	11,0	Volts
Tension d'entrée à l'état bas maximum	Vil max	1,5	3,0	4,0	Volts
Tension de sortie pour loh ci dessous	Voh min	4,6	9,5	13,5	Volts
Courants de sortie pour les tensions ci dessus	loh max	-0,2	-0,5	-1,5	mA
Tension de sortie pour lol ci-dessous	Vol max	0,4	0,5	1,5	Volts
Courants de sortie pour les tensions ci dessus	lol max	0,5	1,3	3,4	Volts
Temps de propagation maximum	Tplh Tphl	90	60		nS
Temps de propagation typique	Tplh Tphl	50	30		nS

V - 4 - La Famille CMOS HC et HCT

Introduite en 1981 par National Semiconductor avec Motorola en seconde source, puis en 82 par RCA sous l'appellation QMOS.,(c'est ce dernier qui avait introduit la CMOS 4000), en 1984 c'est une centaine de fonctions qui étaient proposées par ces fabricants mais aussi par Texas Instrument qui jusqu'à là ne s'était pas lancé dans la CMOS.

C'est la technologie "Grille au Silicium" (décrite au paragraphe 1-4-4-7) qui a permis cette avancée technologique. Réduisant le canal de 7 à 3 microns, diminuant les épaisseurs d'oxyde, l'auto-alignement des grilles réduisant les capacités parasites dans un rapport deux au moins, nous nous trouvons en présence de circuits plus sensibles et plus rapides. Cependant du fait de la réduction des épaisseurs d'oxyde et de la diminution de la longueur des canaux les tensions d'utilisation maximales sont ramenées à 6 volts mais également, la tension minimale descend à 2 Volts.

Cette famille se présente sous deux références 74HC et 74HCT (il existe également la version aux normes militaires 54).

- La série HC est la famille CMOS classique de structure interne voisine de la 4000 qui n'est pas compatible sur le plan électrique avec les circuits TTL, cependant fonctions et brochages seront eux compatibles.

- La famille HCT est complémentaire de la précédente, elle est entièrement compatible avec les circuits TTL. Elle devra être utilisée pour assurer l'interfaçage entre TTL et HC.

Caractéristiques des portes NAND 74HC00 et 74HCT00

PARAMETRE	Symb	HC			HCT	Unit
		2	4,5	6	5 ±10%	
Tension d'alimentation	Vce	2	4,5	6	5 ±10%	Volts
Tension d'entrée à l'état haut minimum	Vih min	1,5	3,15	4,2	2,0	Volts
Tension d'entrée à l'état bas maximum	Vil max	0,3	0,9	1,2	0,8	Volts
Temps de montée et de descente maxi sur J'entrée	Tr Tf max	1	0,5	0,4		µs
Tension de sortie pour loh=-20~LA	Voh min	1,9	4,4	5,9	4,4	Volts
Tension de sortie pour loh=-4mA	Voh min		4		3,98	Volts
Tension de sortie pour loh=-5,2mA	Voh min			5,5		Volts
Tension de sortie pour lol=+20pA	Vol Max	0,1	0,1	0,1	0,1	Volts
Tension de sortie pour lol=+4mA	Vol max		0,26		0,26	Volts
Tension de sortie pour lol=+5,2mA	Vol max			0,26		Volts
Temps de propagation maximum	Tplh Tphl	90	18	15		nS
Temps de propagation typique	Tplh Tphl	45	9	8		nS
Temps de transition maximum	Tr Tf	75	15	13	15	nS
Temps de transition typique	Tr Tf	38	8	6		nS

Toutes les valeurs indiquées sont données pour une charge dont la capacité CL=50pF à 25°C

Le temps de propagation est dépendant de la capacité d'entrée de la charge. Il peut être calculé pour une alimentation de 4,5Volts à l'aide de la formule ci-dessous:

$$Tdp (CL) = Tdp (50pF) + (CL - 50pF) \cdot 0,055nS$$

La consommation est dépendante de la fréquence on peut la calculer suivant la formule:

$$Pd = [(CI + Cpd) \cdot Vcc \cdot Vs \cdot f] + [Iq Vcc]$$

dans laquelle:

- Pd = Puissance dissipée
- CI = Capacité d'entrée de la charge (50 pf pour les mesures standard)
- Cpd = Capacité de la porte vue par l'alimentation
- Vce = Tension d'alimentation
- Vs = Excursion de tension sur la sortie
- f = Fréquence de changement d'état
- Iq = Courant débité par l'alimentation porte au repos

Le terme Iq . Vcc est négligeable pour les CMOS et Vs = Vcc
d'où:

$$Pd = [(CI + Cpd) \cdot Vcc^2 \cdot f]$$

V - 5 - La Famille CMOS AC et ACT

C'est une évolution de la famille HC permise par les progrès technologiques diminuant la taille des composants longueur de canal 1,5 µm(7 pour la 4000 et 3 pour la HC) ainsi que l'épaisseur des couches d'oxyde

PARAMETRE	Symb	AC			ACT	Unités
		3	4,5	5,5		
Tension d'alimentation (de 2 à 6 V pour la AC)	Vcc	3	4,5	5,5	5 ±10%	Volts
Tension d'entrée à l'état haut minimum	Vih min	1,5	3,15	3,85	2,0	Volts
Tension d'entrée à l'état bas maximum	Vil max	0,9	1,35	1,65	0,8	Volts
Temps de montée et de descente maxi sur l'entrée	Tr Tf max.	150	40	25		ns/V
Tension de sortie pour loh=-50µA	Voh min	2,9	4,4	5,4	Vcc-0,1	Volts
Tension de sortie pour loh=-12mA	Voh min	2,56				Volts
Tension de sortie pour loh=-24mA	Voh min		3,86	4,86	Vcc-0,8	Volts
Tension de sortie pour lol=+50µA	Vol max	0,1	0,1	0,1	0,1	Volts
Tension de sortie pour lol=+12mA	Vol max	0,36				Volts
Tension de sortie pour lol=+24mA	Vol max		0,36	0,36	0,44	Volts

PARAMETRE	Symb	AC			ACT	Unit
		3,3	5	5 ±10%		
Tension d'alimentation	Vcc	3,3	5	5 ±10%	Volts	
Temps de propagation maximum de 0 à 1	Tplh max	9,5	8,0	9,0	ns	
Temps de propagation typique de 0 à 1	Tplh	7,0	6,0	5,5	ns	
Temps de propagation maximum de 1 à 0	Tplh max	8,0	6,5	5,5	ns	
Temps de propagation typique de 1 à 0	Tplh	5,5	4,5	4,0	ns	

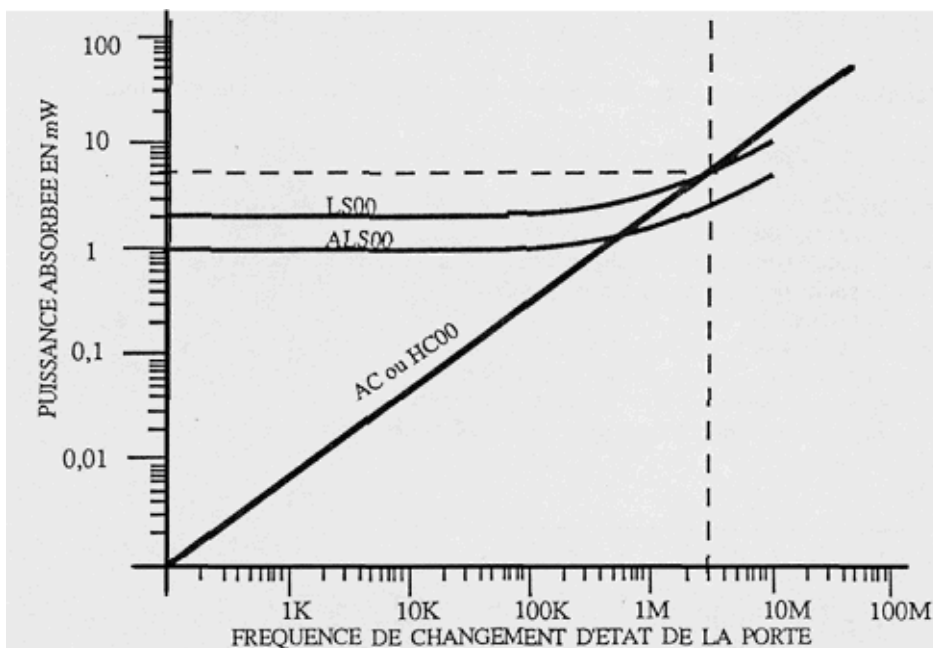


Fig V – 10 – Consommation en fonction de la fréquence de changement d'état des portes CMOS et TTL