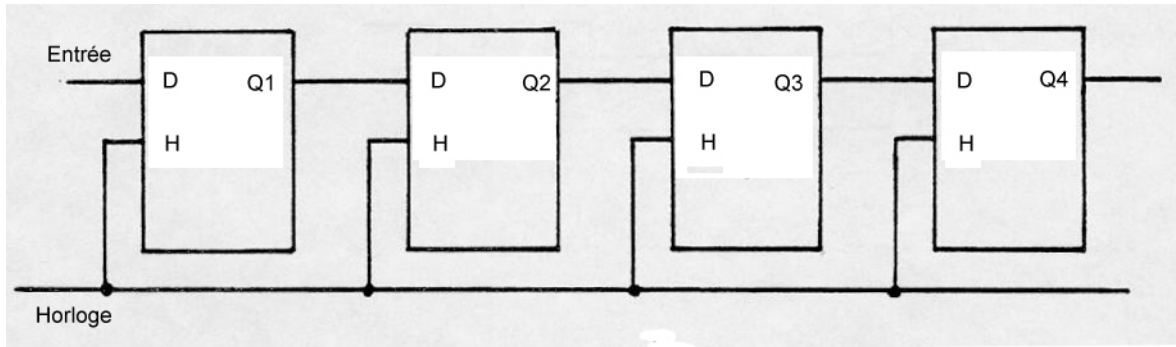
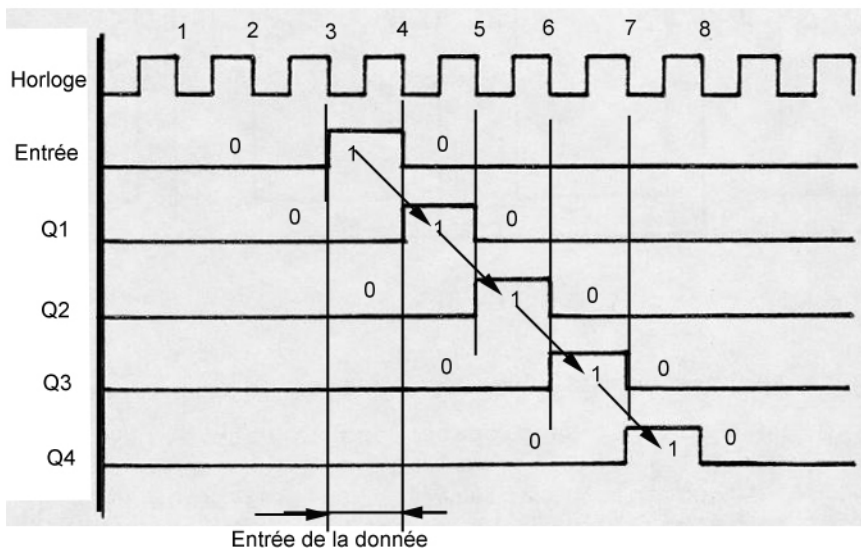


LES REGISTRES A DECALAGE

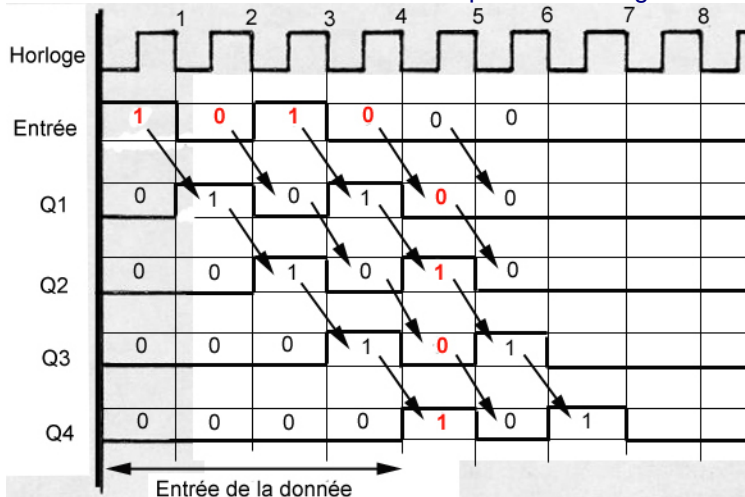
Soit le montage ci-dessous réalisé à l'aide de bascules D de type maître-esclave:



L'horloge arrive en permanence, si l'entrée est à 0, l'ensemble des bascules reste à 0. Si nous appliquons du 1 à l'entrée nous obtenons le résultat suivant :

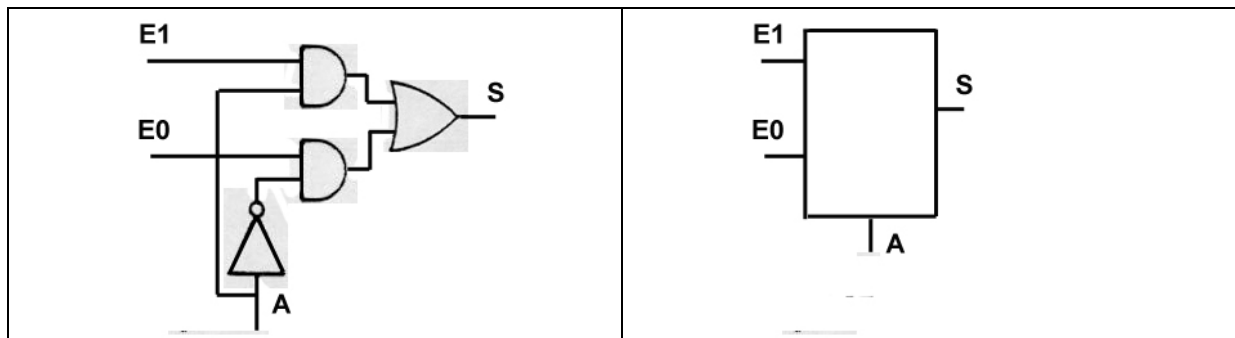


Un 1 est présenté à l'entrée du circuit durant la quatrième impulsion d'horloge, sur le front de cette impulsion ce 1 apparaît sur la sortie Q1 de cette bascule puis comme un 0 remplace le 1 à l'entrée, cette bascule retombe à 0 avec la cinquième impulsion mais le 1 s'est communiqué à la seconde bascule et Q2 est passé à 1 puis avec la sixième le 1 apparaît sur Q3, puis ce sera sur Q4. L'information se décale au fur et à mesure des pulses d'horloge.

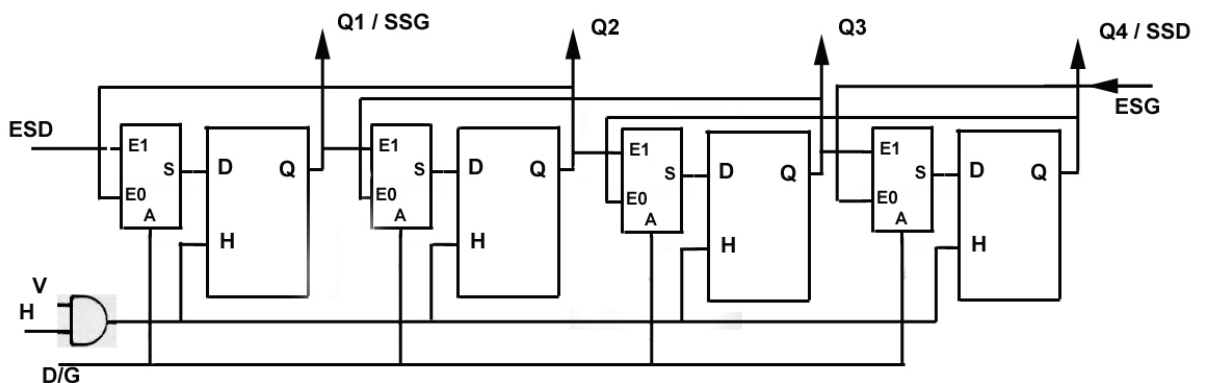


Dans l'exemple précédent, nous avons introduit successivement 1010, après 4 impulsions d'horloge cette donnée est présente sur les sorties Q4, Q3, Q2, Q1. Si ces quatre sorties sont accessibles, nous aurons introduit la donnée sous forme « **série** » c'est à dire sur un seul conducteur, les bits présentés successivement, et nous la sortirons sous forme « **parallèle** » c'est à dire les 4 bits simultanément sur 4 sorties. C'est une **conversion série parallèle**.

En supposant que la donnée se limite aux trois premiers bits 101 (5_{10}), après trois pulses d'horloge les sorties parallèles nous donneraient 0101, la quatrième impulsion avec un 0 présenté sur l'entrée nous donnerait 1010 (10_{10}) nous aurions donc réalisé une multiplication par 2. Le registre à décalage peut donc également avoir une **fonction arithmétique**. Il est nécessaire dans ces deux exemples de perfectionner notre circuit en lui adjoignant un inhibiteur d'horloge. C'est à dire un circuit permettant de bloquer l'entrée des signaux d'horloge. Cependant, s'il est intéressant de permettre un décalage du nombre introduit dans le registre dans un sens pour effectuer une multiplication, un décalage dans l'autre sens effectuera une division. Ce qui est fait dans le schéma ci-dessous mais avant de réaliser le schéma complet, nous rappelons le principe du **multiplexeur**



Un 0 appliqué sur l'entrée A (A pour adresse) bloque à 0 la porte et supérieure et permet à la porte inférieure de répercuter sur sa sortie le contenu de E0 qui est également envoyé sur S. Un 1 sur A entraîne $S = E1$



ESD : Entrée série droite SSD : Sortie série droite
ESG : Entrée série gauche SSG : Sortie série gauche
H : Horloge V : Validation de l'horloge
D / G : commande du sens de décalage 1 pour Droite

Pour rendre ce circuit universel, deux améliorations peuvent être apportées l'une permettant d'entrer les données sous forme parallèle l'autre assurant la conservation de la donnée sans inhiber le fonctionnement de l'horloge. Pour cela nous allons utiliser des multiplexeurs à 4 entrées et deux bits d'adresse.

Dans le schéma ci-dessous un multiplexeur à 4 voies oriente les informations vers l'entrée D de chaque bascule. Les bits d'adresse A1, A0 assurent cette orientation. A1, A0 = 00 reboucle la sortie Q de chaque bascule sur l'entrée D correspondante, la bascule restera donc en l'état quel que soit le nombre d'impulsion d'horloge reçue. A1, A0 = 01 met en communication l'entrée parallèle avec l'entrée D. Une seule impulsion d'horloge suffira pour faire entrer la donnée présentée en parallèle sur les 4 bascules.

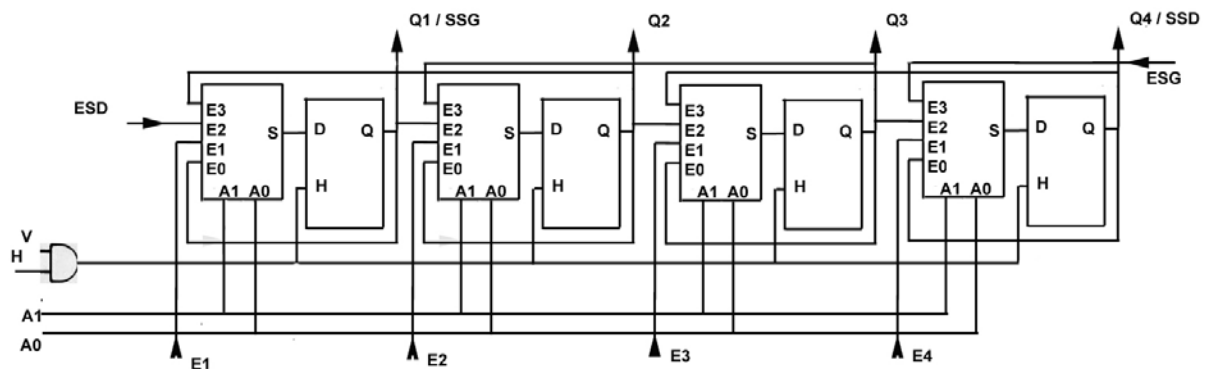
A1, A0 = 10 l'entrée D de la bascule N est connectée à la sortie Q de la bascule N-1, le registre assurera la fonction décalage à droite

A1, A0 = 11 l'entrée D de la bascule N est connectée à la sortie Q de la bascule N+1, le registre assurera la fonction décalage à gauche.

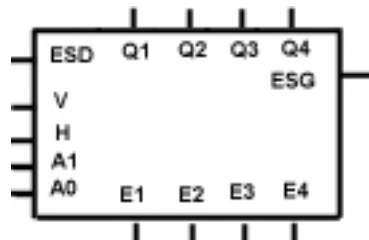
Ce que nous résumerons dans le tableau ci-dessous

A1	A0	Fonction
0	0	Mémoire
0	1	Entrée parallèle
1	0	Décalage à droite
1	1	Décalage à gauche

Registre universel



Symbole du registre



Exercices

1^{er} exercice:

A l'aide de registres et de tous autres circuits séquentiels ou combinatoires réaliser le circuit en mesure de résoudre le problème suivant :

Un nombre de 3 bits se présente sous forme parallèle, simultanément, deux bits d'adresse A1 et A0 qui étaient à 0 passent à la fonction entrées parallèles (01) et passeront à 10 au pulse d'horloge suivant. Faire entrer dans le registre ci dessus le nombre de 3 bits, le multiplier par 2 et le sortir sous forme série le bit de poids fort en premier.

1/ décrire la séquence qui devra être appliquée sur les différentes entrées mais qu'il n'est pas à réaliser.

2/ générer un signal sur une ligne S passant à 1 pendant la durée de la sortie des 4 bits, sa retombée est supposée faire mettre les lignes A1A0 à 00

3/ faire le schéma

2^{ème} exercice

Associer deux registres de telle sorte que l'association se comporte comme un seul registre universel 8 bits

3^{ème} exercice

Un nombre de 4 bits arrive sous forme série le bit de poids fort en premier. Décrire la séquence qui permettra de l'introduire dans le registre et le ressortir renversé, c'est à dire bit de poids faible en premier

4^{ème} exercice

A l'aide de registres et de tous autres circuits séquentiels ou combinatoires réaliser le circuit en mesure de résoudre le problème suivant :

Un nombre de 8 bits arrive sous forme série au rythme d'une horloge F0, le premier bit est signalé par une impulsion sur une ligne séparée Si. Le ressortir au rythme F0/2 le premier bit signalé par une impulsion sur une ligne So.

5^{ème} exercice

Une impulsion doit dans un système déclencher le fonctionnement d'un circuit et mémoriser le résultat de ce circuit 2 pulses d'horloge plus tard. Comment faire ?