

LES CIRCUITS LOGIQUES TTL

La technologie TTL standard (série 54 et 74) est apparue en 1965. Deux sous-familles ont été créées simultanément:

La 74 H (54 H) TTL High Speed - Rapide - série qui, comme son nom l'indique est plus rapide que la standard 6 nS de Tdp au lieu de 10 nS mais qui en revanche consomme plus : 4,5 mA au lieu de 2 mA

La 74 L (54 L) TTL Low Power - Faible consommation - qui consomme moins que la standard .02 mA au lieu de 2 mA mais qui en contre-partie va moins vite environ 30 nS pour 10 ns

La famille TTL standard et ses deux sous familles contemporaines sont maintenant abandonnées mais la famille standard est restée l'étalon. Les familles actuelles sont une évolution de celle-ci.

Au début des années 70 apparaît la famille TTL Schottky (74S – 74 LS). L'introduction de jonctions schottky est destinée à éviter la sursaturation des transistors de sortie et ainsi accroître la rapidité de commutation des circuits (voir ci-dessous) puis à la fin de la décennie, c'est la famille Schottky avancée 74AS et 74ALS) qui prendra le dessus . C'est cette famille que l'on peut utiliser actuellement.

L'inverseur TTL standard

La technologie TTL est donc une amélioration de la porte DTL. Les améliorations apportées sont pour l'essentiel, le remplacement des diodes d'entrée par un transistor et l'amélioration de la sortance à l'aide un circuit nommé Totem Pole.

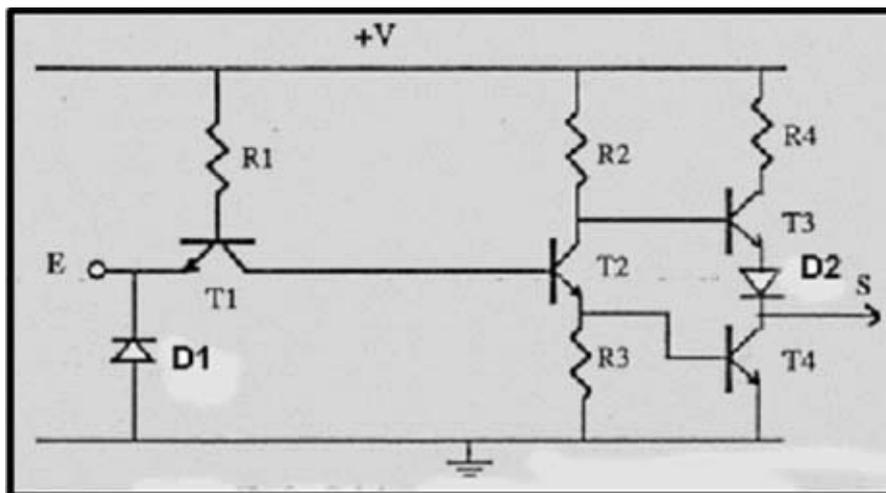


Fig 1 - Schéma de l'inverseur TTL standard

L'étage de sortie Totem pole est constitué des transistors T2,3,4. T3 et T4 ne conduisent jamais simultanément ou alors pendant des temps très courts au moment des changements d'état de la sortie. R4 est une résistance de faible valeur (130 ohms)

Etude de l'étage de sortie de la porte TTL

Du 1 à l'entrée

Lorsqu'on applique une tension +V sur l'entrée E, la jonction BE de T1 ne conduit pas cependant un courant circule par R1, la jonction BC de T1, la jonction BE de T2 et R3. Si le courant est suffisant, la tension aux bornes de R3 tend à dépasser 0,6V un courant circule dans la jonctions base émetteur de T4, T2 et T4 se saturent .

Que devient T3 ?: Supposons le VCEsat de ces transistors à 0,1V, le potentiel du collecteur de T2 est 0,7V (Vbe de T4 + Vce de T2) or pour assurer la conduction de T3 le potentiel nécessaire serait 1,3V (Vbe de T3 + Vd de D2 + Vce de T4) T3 est donc bloqué. On voit que, sans la diode placée sur l'émetteur de T3, celui-ci serait passant. Lorsque la sortie de la porte est à 0, la sortie se comporte comme le schéma ci-dessous.

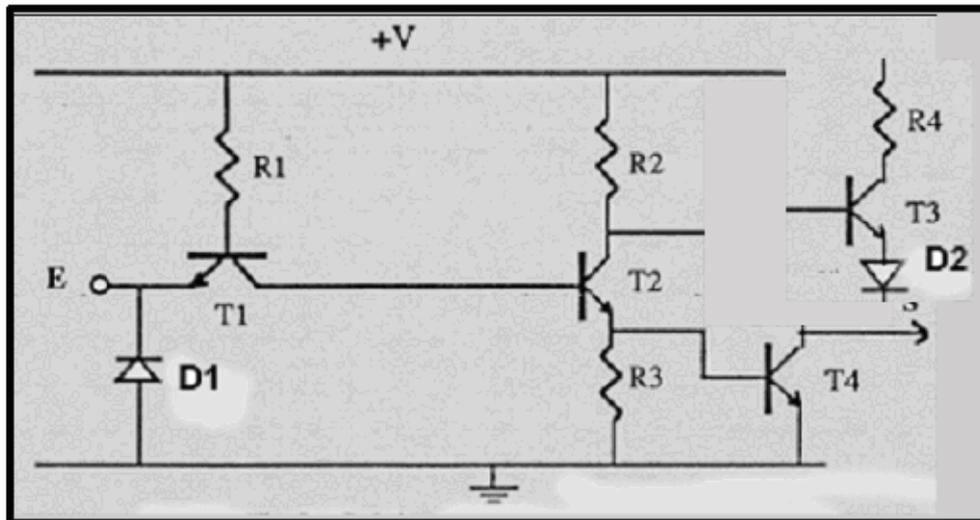


Fig 2 - Schéma de l'inverseur TTL standard. Sortie au 0 logique

Du 0 à l'entrée (schéma ci-dessous)

L'entrée E connectée au 0 abaisse le potentiel de la base de T1 à 0,6V ce qui supprime le courant dans la jonction base collecteur de ce transistor entraînant le blocage de T2 et T4. Si une charge est connectée entre S et la terre un courant pourra circuler dans R2 la jonction base émetteur de T3 et la diode D2 entraînant la conduction de T3. La nécessité pour le courant de base de franchir deux jonctions limite la tension de sortie à un maximum de 3,8V (en négligeant la chute de tension dans R2).

La diode placée entre l'entrée et la terre est destinée à protéger l'entrée contre les tensions négatives.

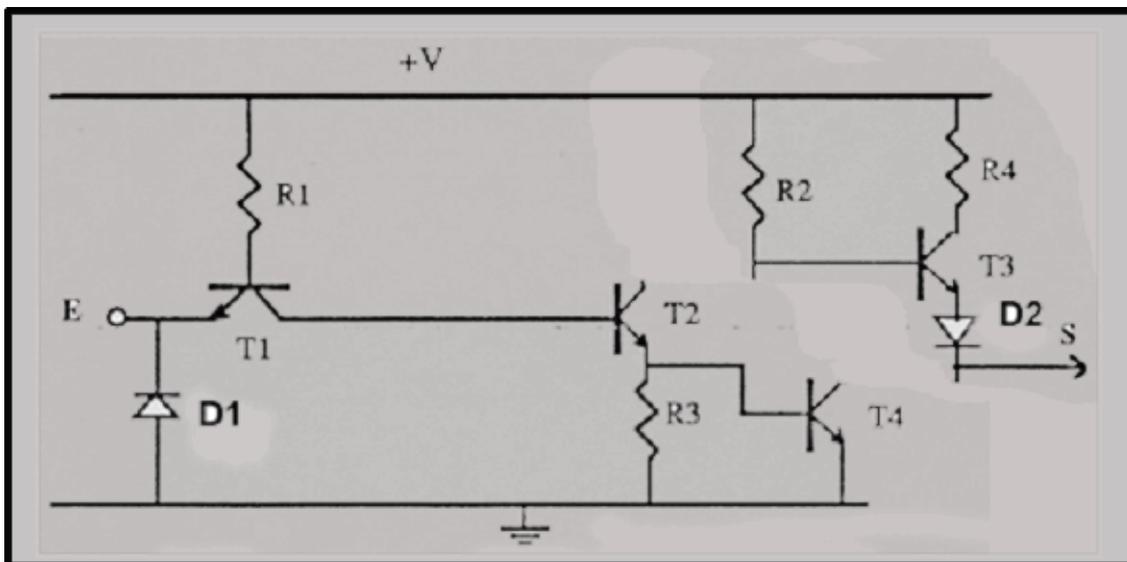


Figure 3: Schéma de l'inverseur TTL standard. Sortie au 1 logique

Saturation des transistors

Le problème de ce type de porte est que les courants de sortie sont variables. Lorsqu'une porte est à l'intérieur d'un circuit intégré sa fonction est bien déterminée, il est possible alors d'adapter la taille des transistors et l'importance des courants à l'usage particulier et donc d'optimiser ses performances . Lorsqu'une porte est destinée à des usages multiples, il faut la rendre aussi polyvalente que possible aussi l'étage de sortie peut piloter jusqu'à 10 entrées de porte de même type. Le transistor T4 doit pouvoir laisser circuler, lorsque la sortie est au 0 logique, jusqu'à 8 ou 16mA (selon les technologies)

en conservant un VCE de 0,5 volt. Le courant de base est donc adapté à cette situation et le potentiel de la base sera de 0,7 ou 0,8 V. Lorsque le transistor ne voit passer qu'un courant de 1,6mA ou moins encore (une seule entrée) le courant de base sur-sature le transistor le potentiel de la sortie (VCE) tend vers 0 mais la base est toujours à 0,8V la jonction base collecteur alors se trouve polarisée dans le sens passant.

Lorsque viendra le moment du blocage du transistor il sera nécessaire d'éliminer toutes les charges et le temps de blocage sera pénalisé.

Si l'on place une diode Schottky en parallèle sur la jonction base collecteur de ce transistor anode sur la base, la tension de déchet de la diode Schottky est de 0,3Volt nous aurons :

$$V_{be} = V_d + V_{ce}$$

Si $V_{be}=0,8v$ et $V_d =0,3$, V_{ce} ne peut descendre en dessous de 0,5 volt même avec un faible courant de collecteur. La régulation du V_{ce} se maintiendra tant qu'il y a du courant dans la diode schottky

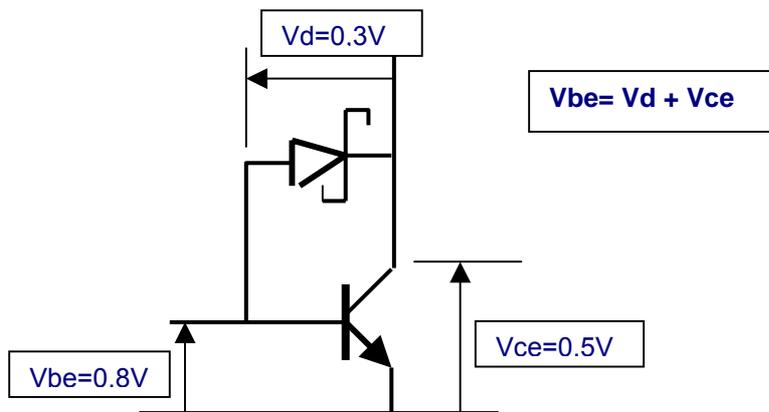


Fig 4 : Implantation d'une diode Schottky destinée à limiter la saturation du transistor

La technologie TTL Schottky Avancée

Cette technologie introduite en 1979 sous la référence 74AS et 74ALS par Texas Instrument et sous le nom de FAST (74F) par Fairchild (Fairchild Advanced Schottky Technologie) est une évolution de la 74S (et 74LS). Le schéma interne est plus sophistiqué, mais l'amélioration des performances est surtout due à l'amélioration des techniques de fabrication.

La technologie ISOPLANAR qui isole les transistors entre-eux à l'aide de barrières d'oxyde au lieu de diffusions P, l'auto-alignement de certaines diffusions et la maîtrise du masquage par faisceau d'électrons permettent de réaliser des transistors beaucoup plus petits que précédemment. Il découle de cette technique des capacités parasites beaucoup plus petites que dans la technologie LS d'où des temps de propagation plus faibles.

Comparaison des technologies Schottky

Technologie	Standard	S	LS	AS	ALS	FAST
Puissance absorbée	10 mW	19 mW	2 mW	22 mW	1 mW	8 mW
Temps de propagation	9 nS	3 nS	9 nS	1,5 nS	4 nS	3,3 nS
Facteur de qualité	90	57	18	33	-4	26

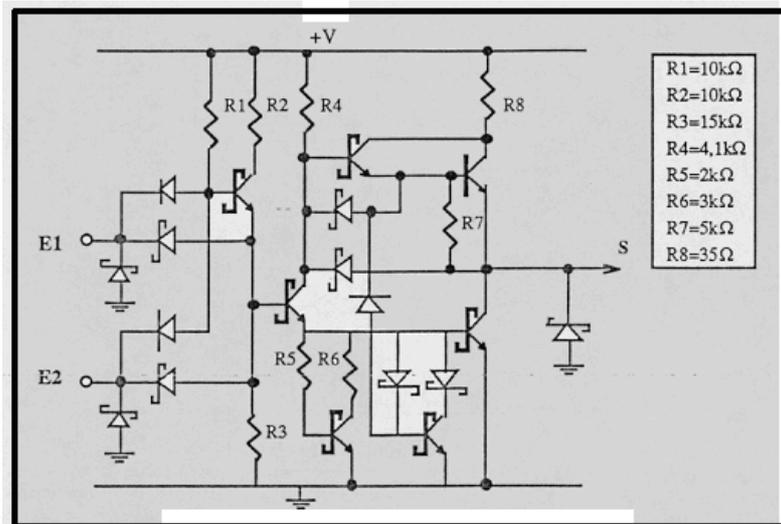


Fig 5 : Schéma interne d'une porte Nand à 2 entrées en TTL Low Power Schottky Avancée

Tableau des caractéristiques

PARAMÈTRE,		AS 74AS00	ALS 74ALS00	FAST 74F00	Unités
Tension d'alimentation	Vcc	5±10%	5±10%	5±10%	Volts
Tension minimale de sortie à l'état haut	VOH min	2,7	2,7	2,7	Volts
Tension maximale de sortie à l'état bas	VOL max	0,5	0,5	0,5	Volts
Tension d'entrée à l'état haut	VIH min	2,0	2,0	2	Volts
Tension maximale d'entrée à l'état bas	VIL max	0,8	0,8		Volts
Courant de sortie maximum à l'état haut	IOH max	-2000	-100	-1000	μA
Courant de sortie maximum à l'état bas	IOL max	20	8	20	mA
Courant d'entrée maximum à l'état haut	IiH max	50	20	20	μA
Courant d'entrée maximum à l'état bas	IiL max	-0,5	-0,2	-0,6	mA
Sortance (Fan out)		12	5	12	
Consommation moyenne d'une porte(*)	Icc	4,4	0,2	1,6	mA
Temps de propagation de 0 à 1 typique	Tplh	2,7	7	3,5	nS
Temps de propagation de 0 à 1 maxi	Tplh max	4,5	11	5	nS
Temps de propagation de 1 à 0 typique	Tphl	2,5	5	2,9	nS
Temps de propagation de 1 à 0 maxi	Tphl m		8	4,3	nS

Dans le tableau et la figure ci-dessus, les courants sortant de l'opérateur logique sont affectés d'un signe moins. Les valeurs données sont les valeurs garanties par le fabricant qui bien entendu prend une marge de sécurité. Les valeurs typiques sont généralement plus confortables.

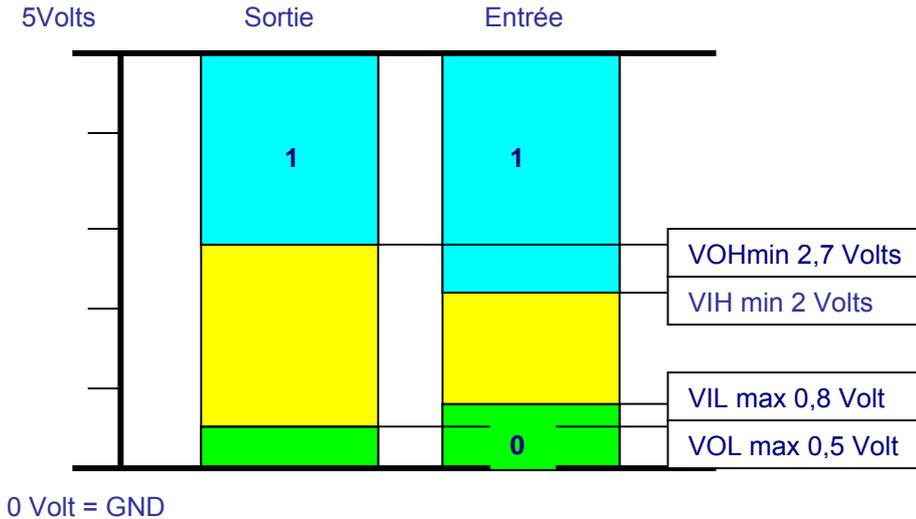


Fig 6 : Représentation des tensions d'entrée et de sortie d'une porte TTL ALS

Les références TTL

Les circuits TTL sont référencés selon deux normes, la norme Industrielle et la norme militaire. Les circuits aux normes industrielles sont classés dans la série « 74 » alors que ceux répondant aux normes militaires font partie de la série « 54 »

Les deux séries se différencient essentiellement par leur température d'utilisation et la fourchette de tension d'alimentation:

SERIE	Temp mini	Temp maxi	Vce mini	Vcc maxi
54	- 55°C	125°C	4,5 V	5,5 V
74	0°C	70°C	4,75 V	5,25 V

La référence d'un circuit TTL se présente de la façon suivante:

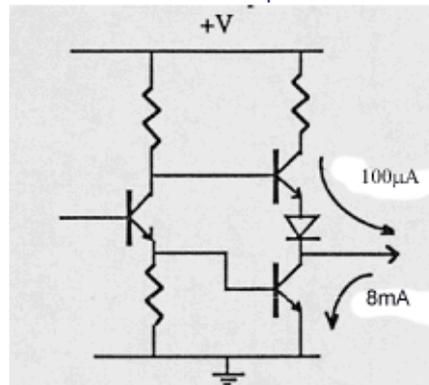
SN 74 LS 00 A

SN	Le premier groupe de lettre (préfixe) est caractéristique du fabricant (le fondeur) ici Texas instrument on pourra trouver MC pour Motorola, DM pour National Semiconducteur etc
74	A l'origine 54 et 74 signifiait TTL norme Militaire ou Industrielle mais ces références ont été étendues à certaines familles de CMOS assurant les mêmes fonctions et possédant des brochages identiques que nous étudierons plus loin
ALS	Le deuxième groupe de lettres (inexistant pour les TTL standards) indique la sous famille ici ALS= Low power Schottky Advanced
00	Le deuxième groupe de chiffres (de 2 à 4) est caractéristique de la fonction et de l'organisation de celle ci dans le boîtier ici 4 NAND à deux entrées, 04 → 6 inverseurs, 10 → 3 portes NAND à 3 entrées
A	Le suffixe est la référence du boîtier. Pour un même boîtier le suffixe peut être différent d'un fabriquant à l'autre.

Les étages de sortie des portes TTL

La sortie Totem Pole

Nous avons déjà étudié cette sortie dans les schémas précédents



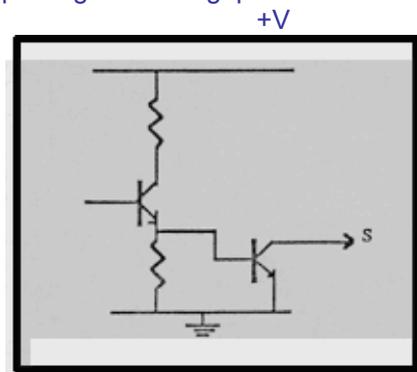
Sortie Totem Pole

Les courants précisés sur la figure ci-dessus sont les courants que la sortie Totem Pole de la TTL ALS peut admettre. Au 1 logique la porte peut débiter $100\ \mu\text{A}$ en conservant une tension de 2,7Volts. Au 0 logique la porte peut absorber un courant de 8 mA sans que la tension monte au dessus de 0,5 Volt . Il est recommandé lorsqu'on souhaite commander un courant de plusieurs milliampères d'utiliser le 0 plutôt que le 1 logique.

La- sortie à collecteur ouvert (Open Collector)

La sortie à collecteur ouvert va permettre d'assurer deux fonctions:

- 1 - Associer deux portes par une simple connexion
- 2 - Permettre le passage à une logique de tension différente



Sortie à collecteur ouvert (Open Collector)

Dans la sortie à collecteur ouvert, la partie supérieure de la sortie totem pole a été supprimée la sortie n'est plus capable de fournir un courant au 1 logique. A l'état haut le transistor de sortie est bloqué à l'état bas il est passant.

Lorsque le collecteur est rappelé au +V de l'alimentation par une résistance (Résistance de Pull Up), nous nous retrouvons dans la même configuration de sortie qu'avec l'opérateur DTL Transistor bloqué la sortie fournit du +V transistor passant la sortie est à la terre.

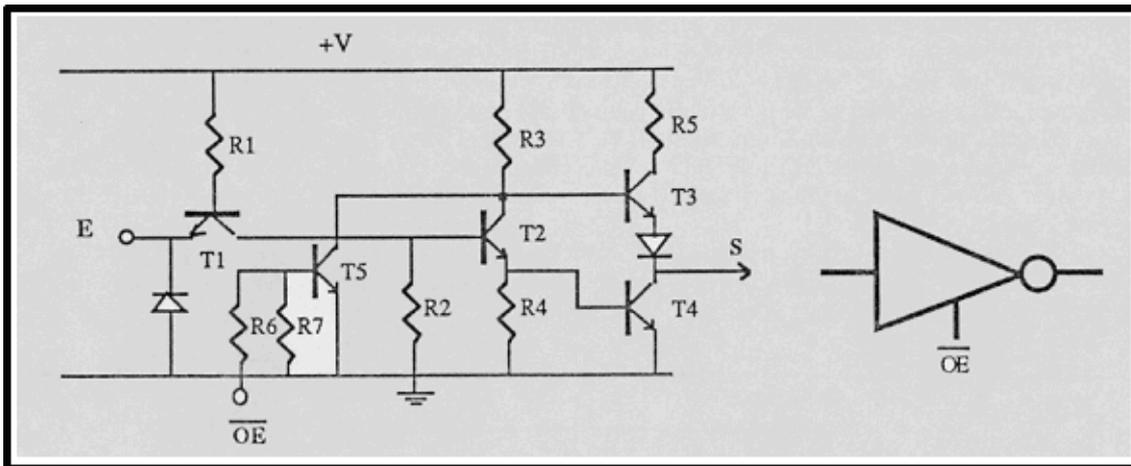
La sortie trois états (Tri Stats)

En informatique, un bus est un ensemble de lignes sur lesquelles plusieurs sorties et plusieurs entrées sont connectées à un instant donné, une seule sortie est en relation avec une seule entrée. Les sorties inactives à cet instant ne doivent pas interférer avec la sortie active il est donc nécessaire qu'elles se comportent comme si elles étaient déconnectées du bus. C'est pour répondre à ce besoin

que la sortie trois états a été conçue . Elle pourra se comporter comme une sortie classique pouvant fournir du 0 et du 1 et se mettre en haute impédance. dans ce dernier état la sortie n'est ramenée ni à la terre ni au +V

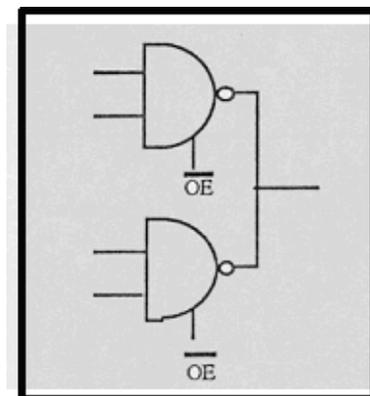
Dans le schéma ci-dessous un transistor T5 et les résistances R6 et R7 ont été rajoutés ainsi qu'une entrée \overline{OE} , Output Enable (barre) autrement dit validation de la sortie active à 0 .

Lorsque l'entrée \overline{OE} est au 0 le transistor T5 est bloqué la porte se comporte comme une porte totem pole classique. Placée au 1 cette entrée rend le transistor T5 passant ce qui bloque T2 T3 et T4 la sortie S est alors isolée du +V comme de la terre, elle est en haute impédance (HZ).



Porte inverseuse à sortie trois états et son symbole

Le schéma ci-dessous deux portes nand trois états sont connectées à une ligne bus les entrées OE ne doivent pas être activées simultanément

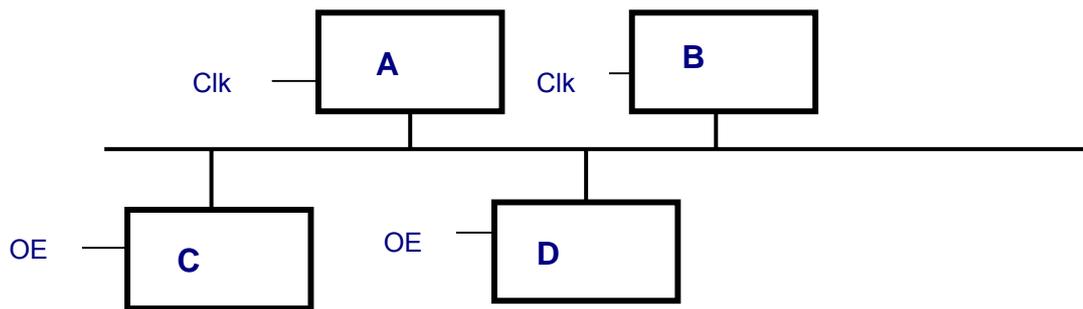


Connexion de deux portes trois états à un bus

Dans une porte trois états on distinguera plusieurs temps de propagation

- Entre l'entrée et la sortie, comme toutes portes
- Entre la commande de validation et l'établissement de la sortie

Fig 7 : Exemple de structure de Bus entre deux émetteurs et deux récepteurs sur un seul fil



Fonctionnement :

Si à un moment donné on veut transférer un bit de C vers B seul l'OE de C sera validé et une impulsion d'horloge sera émis sur l'entrée Clk de B . Si maintenant D doit envoyer un bit dans A et B , on bloque C , valide D et pulse sur Clk de A et B etc.

On voit que le nombre des sorties et des entrées connectées à ce bus peut être quelconque, cependant chaque connexion apporte sa capacité parasite