

INTRODUCTION AUX ASICS

1/ Qu'est-ce qu'un ASIC

ASIC (*Application Specific Integrated Circuit*) en Français Circuit Intégrés pour Applications Spécifiques ou Circuit Intégrés à la demande .

L'Asic est un circuit réalisé à la demande d'un utilisateur, il pourra être réalisé à des degrés plus ou moins grands de personnalisation. A l'exception des circuits programmables qui constituent une classe à part, les Asics peuvent être conçus directement par l'utilisateur ou par une société de service, ils sont cependant réalisés par le fondeur qui maîtrise les techniques d'intégration.

Le circuit conçu pour un utilisateur spécifique est la propriété de celui-ci

2/ Pourquoi un ASIC

Un ASIC présente des avantages et des inconvénients comme toute technologie, on pourrait se limiter à dire qu'il suffit que les avantages l'emportent sur les inconvénients pour que le choix soit simple.

En fait l'évolution des techniques et des exigences des utilisateurs compliquent toute conception de système électronique. En effet il y a quelques années, ceci existe encore pour des petits systèmes réalisés en petite série, il était possible de concevoir des cartes électroniques sur circuit imprimé simple ou double face à l'aide de moyens rudimentaires et peu coûteux. La mise au point de tels circuits peut se faire simplement par la réalisation et le test de prototypes successifs, la conception finale d'un circuit étant le résultat des améliorations apportées à chacune des étapes précédentes.

Les circuits imprimés sont maintenant complexes. Les composants qui doivent être implantés possèdent de plus en plus de broches, certains microprocesseurs sont maintenant munis de plus de 800 broches, la densité d'implantation des circuits demandée est considérable. Il est même courant de disposer des composants sur les deux faces du circuit (cms – composants montés en surface). Toutes ces exigences imposent la réalisation de circuits multicouches. Les circuits réalisés en classe 6 permettent le passage de 5 pistes de 0,1mm entre deux pastilles espacées de 2,54 mm (1/10 de pouce). Pour obtenir de telles performances des matériels performants, coûteux, manipulés par des professionnels compétents sont nécessaires

Le premier prototype coûte cher, il est important que le premier soit le bon.

La réalisation d'un ASIC qui réunira sur une même puce de silicium (ou d'un autre matériaux un ensemble de composants souvent plusieurs centaines de milliers, ne se substitue pas au circuit imprimé, mais il va permettre, entre autres, d'en réduire le nombre ou la surface. La réalisation d'un ASIC est plus délicate et plus coûteuse que celle d'un circuit imprimé mais l'évolution fantastique de l'informatique va rendre celle-ci de plus en plus aisée et, si l'on ajoute à cela les gains réalisés dans les autres domaines, performance, miniaturisation, consommation, fiabilité, confidentialité, il est maintenant certain que, d'ici quelques années, toute entreprise qui ne maîtrisera pas ces techniques sera vouée à une mort certaine.

L'ASIC présente surtout un inconvénient majeur, contrairement au circuit imprimé qui peut être contrôlé en tous points du circuit à l'aide d'appareils classiques, il ne peut être testé en détail après sa réalisation. En cas de non-fonctionnement le diagnostic est difficile à faire, particulièrement si la testabilité n'a pas été pensée lors de la conception. Le diagnostic ne pourra se faire qu'à travers des programmes de test souvent complexes et difficile à élaborer. Il sera donc nécessaire avant de lancer la fabrication d'un ASIC d'en effectuer une simulation très fine et très poussée. Celle-ci ne pourra être effectuée qu'à l'aide d'un outil informatique, matériel et logiciel, très sophistiqué et par conséquent coûteux, manié par des techniciens compétents. l'essor des ASICs est entièrement lié à l'essor de l'informatique.

Cependant un ASIC présente de nombreux avantages :

- **Encombrement et consommation réduits**, on est maintenant habitué de parler de densité d'intégration de plusieurs milliers de transistors sur un millimètre carré de silicium. La consommation de ces transistors de très faibles dimensions est particulièrement étudiée pour éviter de dissiper une

puissance trop importante sur la puce (*Die* ou *Chip*) de silicium. La consommation peut être étudiée au plus juste puisqu'ils sont conçus pour un usage spécifique et donc adaptée au mieux.

- **Difficile à copier**, le schéma est difficile à relever ce qui protège le concepteur de plagiat à bon marché. C'est également un point important pour les équipements militaires pour des raisons stratégiques faciles à comprendre.

- **Performant**, la réduction des dimensions des composants et des liaisons intercomposants réduit les capacités parasites ainsi que l'inductance des liaisons. Il découle de ceci une amélioration des performances des composants et des circuits. Il est difficile, voir impossible, d'atteindre les performances des circuits intégrés avec des composants discrets.

- **Fiable**, les composants élémentaires sont utilisés exactement en fonction de leurs possibilités, pas de surcharge, pas de problèmes d'interconnexion, pas de soudures défectueuses, composants à l'abri des agressions etc. Un circuit intégré est toujours plus fiable que son équivalent réalisé à l'aide de composants discrets.

3/ Différents types d'ASICs

On distingue essentiellement trois familles de circuits "à la demande" :

Les circuits programmables qui ne sont pas toujours considérés comme des ASICs que l'on peut regrouper sous le terme générique de PLD (*Programmable Logic Device*) Sous ce terme générique on peut trouver une jungle de termes FPLA (Signetics), PAL (Monolithic Memories), PLA, FPGA, EPLD, EEPLD, GAL, LCA. Nous essaierons de démêler cet écheveau ultérieurement

Les Semi personnalisés (*Semicustom*)

On trouvera essentiellement sous cette rubrique les prédifusés et les précaractérisés. Ces circuits ont déjà vu un commencement de réalisation soit matérielle soit logicielle. L'utilisateur donnera au fondeur toutes directives nécessaires pour terminer l'intégration. Les prédifusés n'attendent plus que les interconnexions entre cellules, les précaractérisés font appel à des portions de circuit déjà conçues sur l'ordinateur dont on connaît les performances avec précision qui pourront être associés pour concevoir un circuit spécifique.

Les Personnalisés (*Fullcustom*)

L'utilisateur va concevoir (ou en sous-traiter la conception) son circuit dans sa totalité à l'aide d'un "compilateur de silicium". Le circuit est entièrement personnalisé, il pourra être particulièrement bien adapté à l'application concernée. La puce de silicium sera dimensionnée exactement aux besoins des composants à intégrer. Le coût d'un circuit intégré en production est constitué essentiellement de l'amortissement de l'étude, du coût du silicium et du boîtier il est donc important que la puce soit réduite à la dimension minimum.

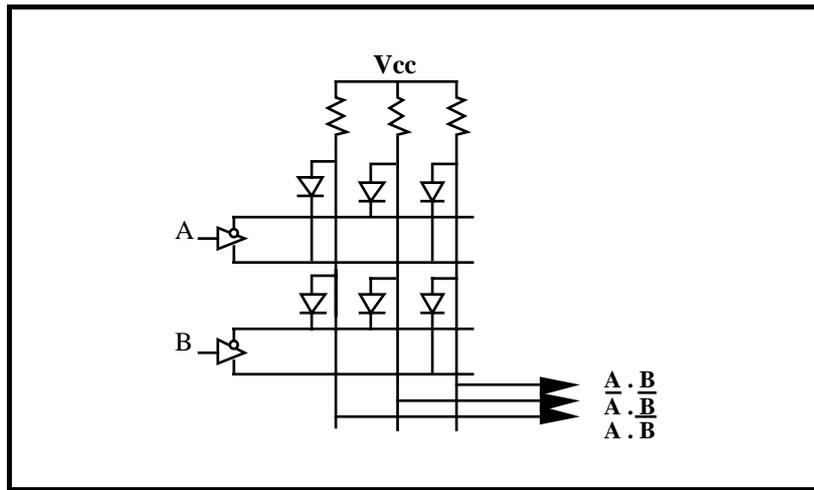
3 - 1 - Les Circuits programmables

Regroupés sous l'appellation générique de **PLD** (*Programmable Logic device*). Les PLD sont des circuits qui n'auront pas besoin d'un fondeur pour être adaptés à une application particulière. Ils ont été introduits en 1975 par Signetics sous le nom de **FPLA** (*Field Programmable Logic Array*) puis en 1976 Monolithic Memories introduit les **PAL** (*Programmable Array Logic*), en 1977 Signetics à nouveau met sur le marché les **FPGA** (*Field Programmable Gate Array*) et les **FPLS** (*Field Programmable Logic Sequencer*) puis ce seront les **EPLD** (*Erasable Programmable Logic device*) ces circuits sont effaçables par ultraviolet ils sont nés avec l'essor des EPROM à la fin des années 70. La maîtrise des couches minces d'oxyde a permis la réalisation des **EEPLD** (*Electrically Erasable Programmable Logic device*) effaçables électriquement.

3 - 1 -1 - Principe des fonctions logiques à diodes:

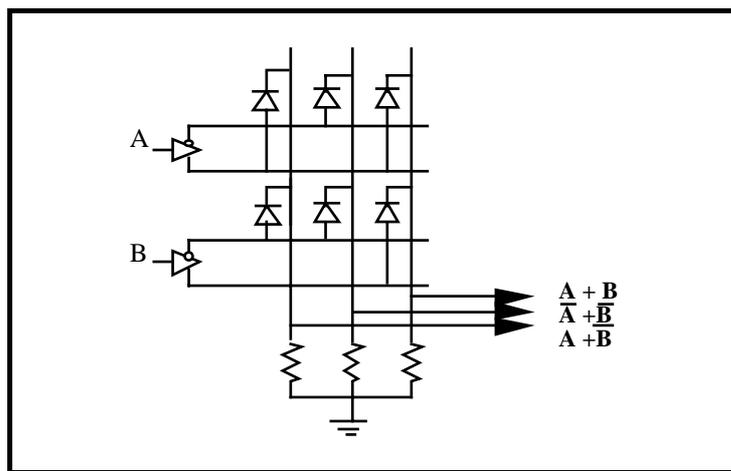
Il est possible de réaliser des fonctions ET et OU de façon simple à l'aide de diodes et de résistances.

La fonction ET:



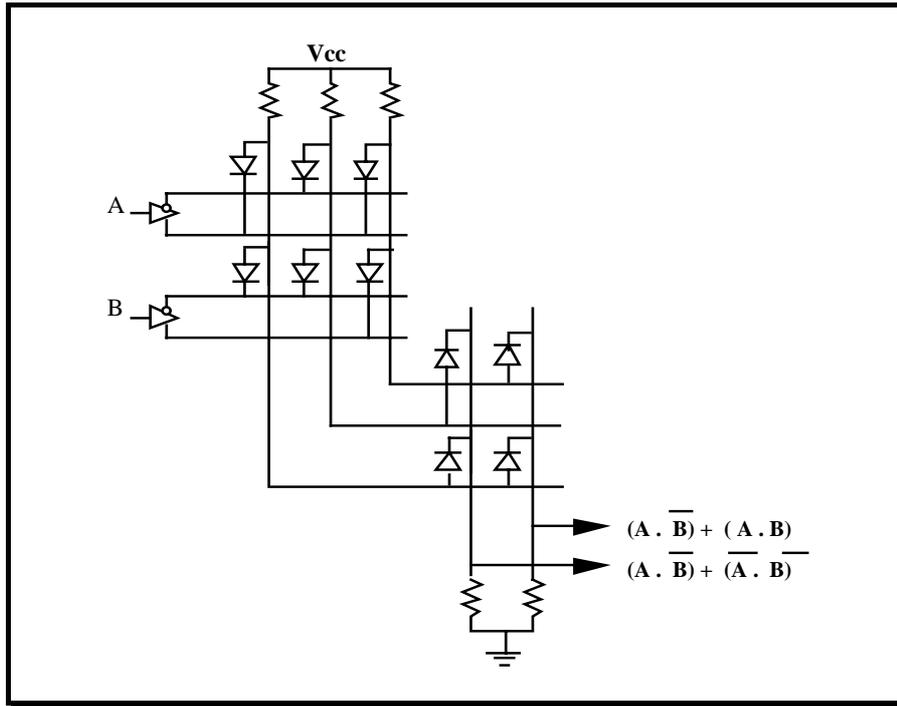
Les circuits qui fournissent à partir des variables A et B les variables A et \overline{A} et B et \overline{B} peuvent être remplacés par de simples commutateurs qui au 1 fournissent la tension Vcc et au 0 relient l'entrée à la masse. On voit que si la sortie \overline{B} est à 0, le potentiel des lignes verticales qui lui sont reliées par des diodes (la ligne de gauche et la ligne centrale) sera proche de 0 volt ainsi que les sorties $\overline{A} \cdot \overline{B}$ et $A \cdot \overline{B}$

La fonction OU:



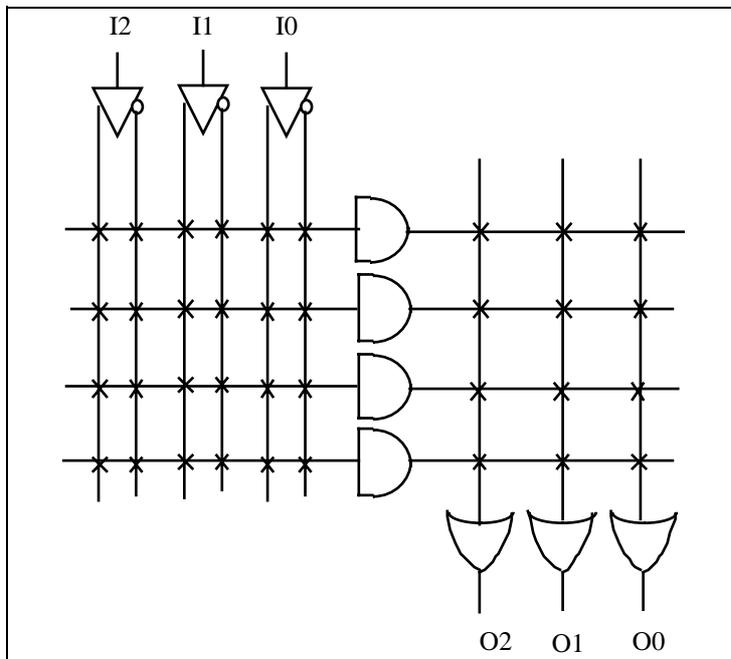
Dans le montage ci dessus il suffit que l'anode d'une diode soit alimentée par le Vcc pour que la ligne verticale à laquelle est connectée sa cathode passe à un potentiel élevé entraînant un état logique haut sur la sortie qui lui est connectée.

Association ET - OU :



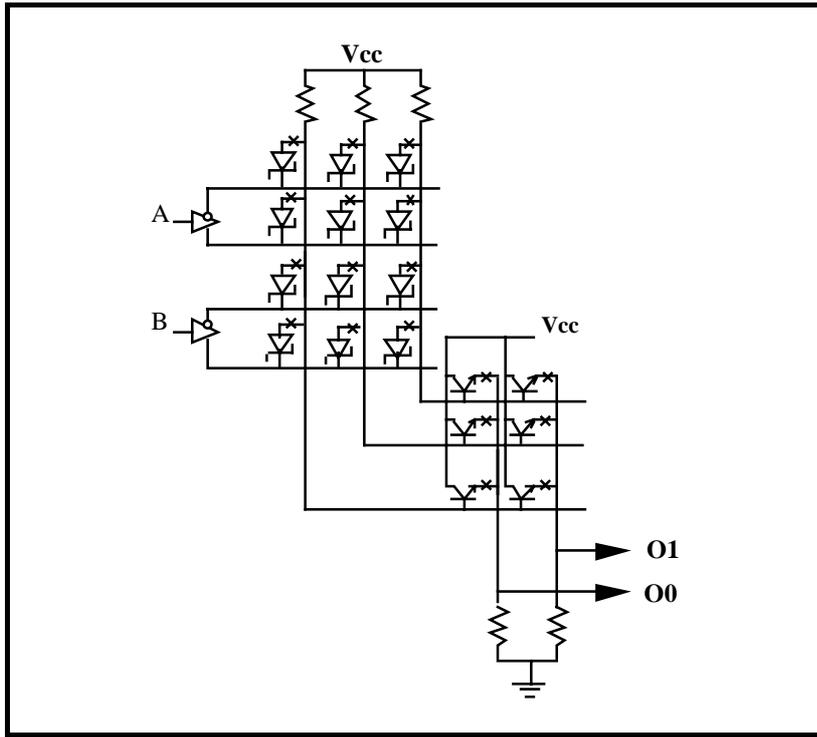
Les FPLA

Les FPLA (Field Programmable Logic Array) reprennent le principe de ces circuits ET OU à diodes. Ils ont été conçus au départ pour matérialiser des équations logiques issues des tableaux de Karnaugh qui se présentent sous la forme d'une somme de produits. Ils sont de la forme du schéma ci-dessous dans lequel chaque croix représente un fusible en série avec une diode. La programmation d'un tel circuit consistera à éliminer les diodes inutiles en fondant les fusibles auxquels elles sont connectées. Le schéma ci-dessous est évidemment très réduit, on pourra trouver par exemple des circuits à 16 variables d'entrées et 8 sorties.



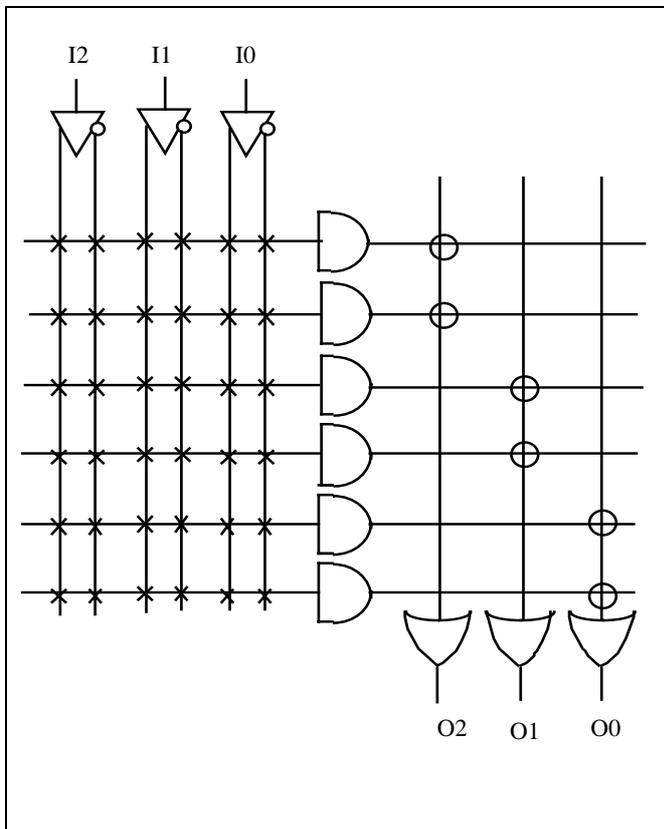
La vue ci-contre représente de façon schématique un FPLA. Les portes ET et OU qui apparaissent symbolisent les fonctions assurées par les diodes et les résistances.

La technologie employée par Signetics (maintenant RTC ou Philips) est constituée de Diodes Schottky pour la réalisation des portes ET et de transistors montés en émetteur suiveur pour les fonctions OU



Les PAL

Les PAL (*Programmables Array Logic*) sont des circuits voisins des précédents mais dans lesquels seules les fonctions ET sont programmables. Il en résulte que les PAL sont moins souples d'emploi que les FPLA ou PLA mais ils sont, en principe, plus rapides.



Le circuit ci-contre montre le principe d'un PAL. Les connexions aux portes ET sont totalement programmables mais pas celles des portes OU

Le PAL est donné pour plus rapide que le FPLA mais à la lecture des caractéristiques cela n'apparaît pas avec évidence. Le temps qui sépare l'arrivée de données sur les entrées et l'établissement des sorties est de 10 à 45 ns suivant les circuits, l'époque de leur conception et le nombre de portes internes à franchir

Les PAL et FPLA intègrent maintenant généralement des bascules sur leurs sorties permettant notamment de mémoriser un état pendant qu'un autre se prépare. Les bascules sont généralement commandées par une horloge unique

Dans une deuxième phase de leur évolution, les PLD ont inclus des bascules sur leurs sorties permettant de mémoriser l'état de celles-ci. L'introduction d'une mémorisation des sorties apporte un

supplément de sécurité de fonctionnement, notamment en permettant une synchronisation des sorties. Non seulement une synchronisation des sorties permet une simultanéité de leur modification malgré des chemins différents pris par les différents signaux, mais aussi évite les fluctuations de celles-ci causées par un défaut de synchronisation des entrées ou des instabilités des variables d'entrée.

Les PAL sont proposés par de nombreuses sociétés (voir l'annexe fabricants) on retiendra entr'autres Monolithic Memories, A2M , Cypress cependant plusieurs sociétés ont orienté leur production plutôt vers les PGA ou les prédifusés.

Les FPGA (Field Programmable Gate Array) FPLS (Field Programmable Logic Sequencer)

A la limite inférieure de la frontière, ils sont quelques fois difficile à distinguer des précédents. Ils ne sont plus uniquement des circuits destinés à matérialiser des équations de logique combinatoire. Ils sont orientés vers des applications plus générales et notamment vers la logique séquentielle. Certains sont des PAL un peut plus évolués incluant notamment des possibilités de retour des sorties sur les entrées. Les FPLS de Signetics par exemple introduisent des registres qui vont permettre non seulement de synchroniser les sorties et de les garder en mémoire, mais aussi de conserver des variables internes qui, rebouclées sur les entrées offrent la possibilité de réaliser des machines d'état .

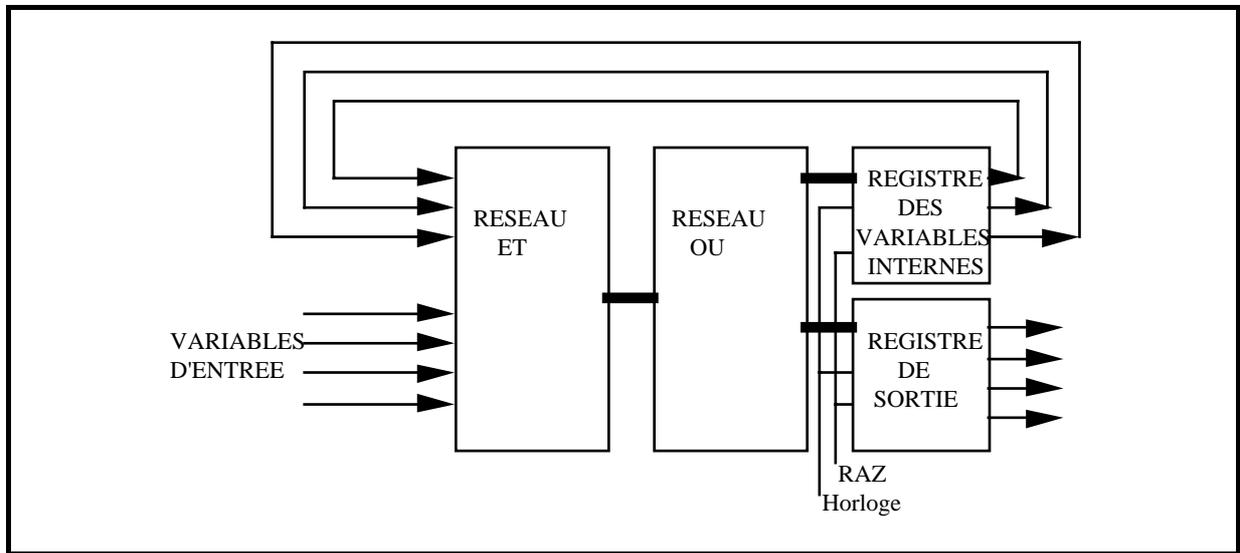


Schéma de principe d'une machine d'état

En régime combinatoire, à une combinaison des variables d'entrée, correspond toujours la même combinaison des variables de sortie. En séquentiel l'état des sorties dépend non seulement des variables d'entrée mais aussi de l'état antérieur du système. La génération de variables internes rebouclées sur les entrées permet de fournir, bien que les variables d'entrée soient identiques, différentes combinaisons des variables de sorties .

Dans le schéma ci-dessus, les registres stockent l'état des variables internes et des sorties à un instant donné, ces variables internes rebouclées sur les entrées et en combinaisons avec les variables externes fournissent l'état futur des sorties. Ce nouvel état apparaîtra sur les sorties à la prochaine impulsion d'horloge.

Les FPGA de certains fabricants sont cependant beaucoup plus évolués que les circuits que nous venons d'étudier. Ils s'agit souvent plutôt que de simples portes logiques, de véritables cellules voir macro-cellules qui seront interconnectées afin de réaliser le circuit adapté à l'application spécifique.

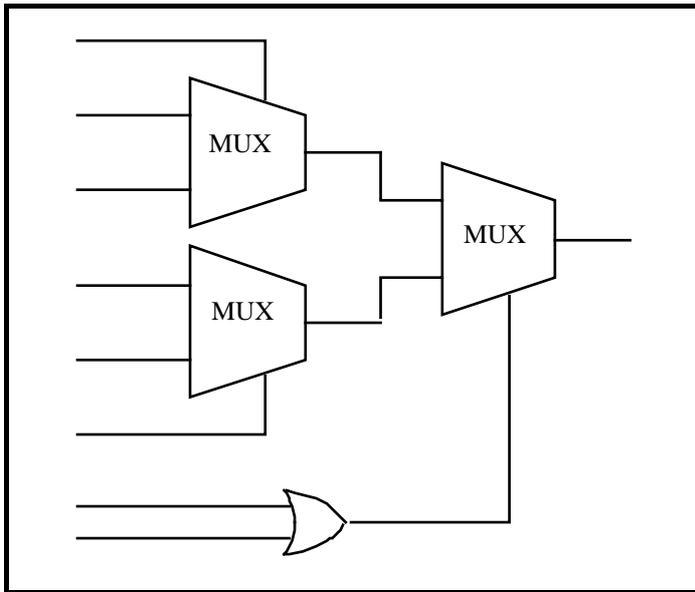
Le marché mondial des FPGA pour 1993 a été estimé à 350 millions de Dollars il devrait passer à 880 millions en 1997, c'est donc une progression de 25% par an qui est prévu pour ces composants, de quoi dynamiser sérieusement la recherche et l'innovation. La plupart des FPGA sont proposés en technologie CMOS en dimension de motifs de 0,6 ou 0,5 μm.

L'objectif est: plus rapide, plus de portes, moins cher.

Pour arriver à ces fins les constructeurs peuvent évidemment agir sur les techniques d'intégration, motifs toujours plus petits mais aussi sur la structure interne de leur circuit notamment sur la taille et la polyvalence de la cellule de base, les techniques de d'association de ces cellules et la méthode de programmation.

Cellule de base

La taille de la cellule de base définit la "granularité" du circuit . Plus la cellule est petite plus elle sera universelle mais plus il faudra programmer d'interconnexion. L'avantage majeur sera un meilleur coefficient d'utilisation des portes, son inconvénient des chemins de connexion complexes entraînant des temps de retard imprévisibles avant routage.

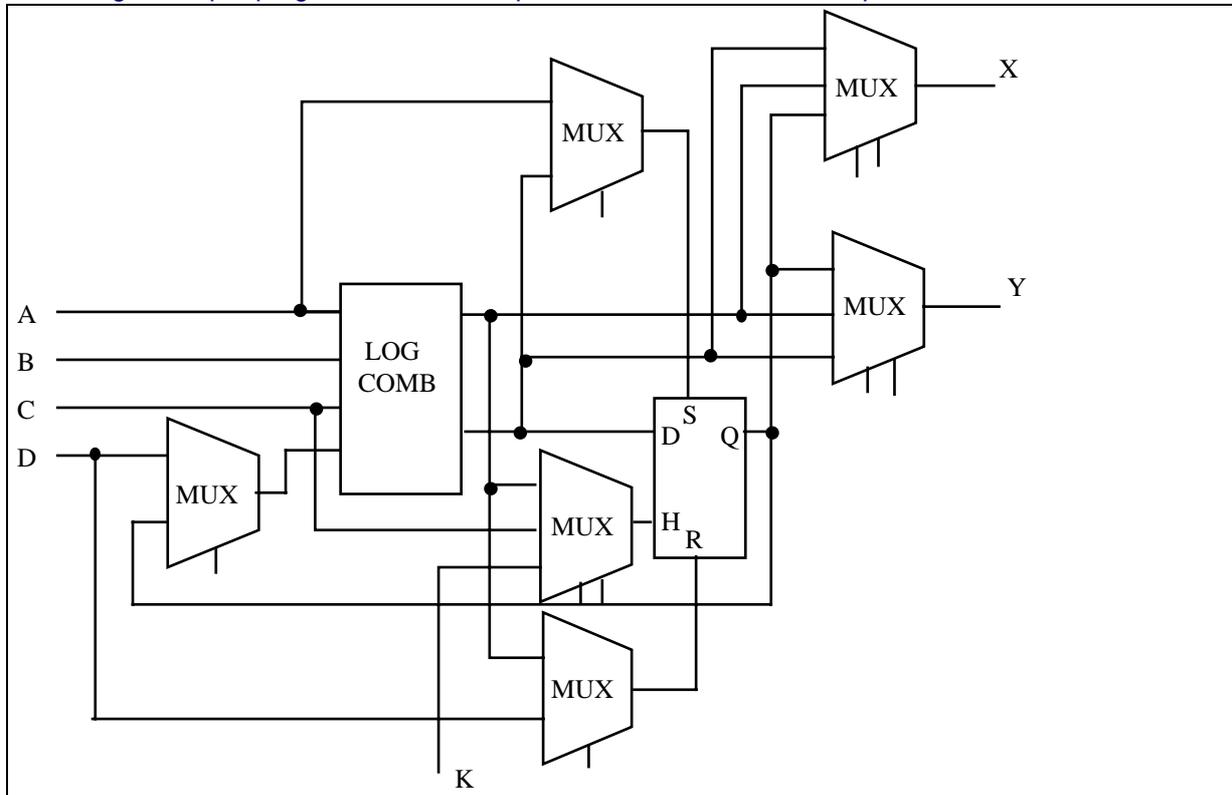


Le schéma ci-contre représente la cellule de base des FPGA ACTEL

Cette cellule est la plus élémentaire du marché parmi les FPGA à granularité fine au contraire , XILINX, présente une cellule élémentaire importante elle est représentée ci dessous.

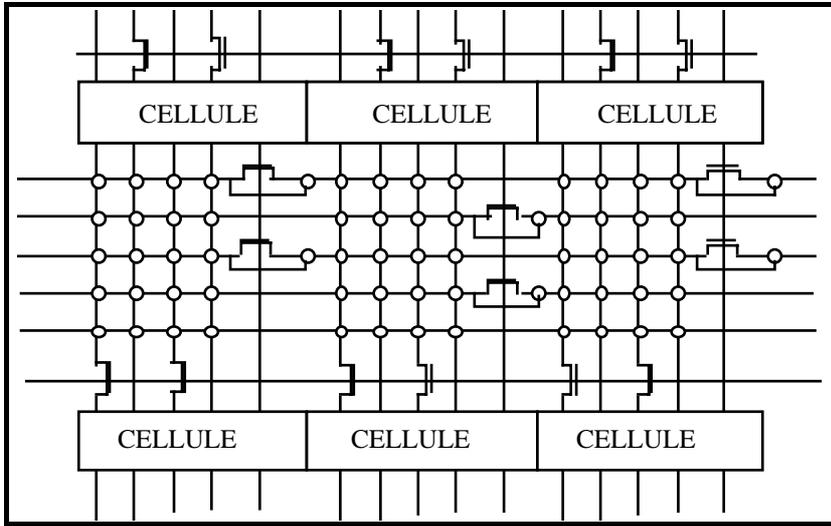
ALTERA propose des macro-cellules qui sont à elles seules de véritables PAL , de 8 à 20 entrées extensibles à 32 à l'aide de cellules spécifiques

Le schéma ci-dessous représente la cellule élémentaire de XILINX le bloc LOGique COMBinatoire est configurable par programmation ainsi que les commandes des multiplexeurs



Les modes d'association des cellules

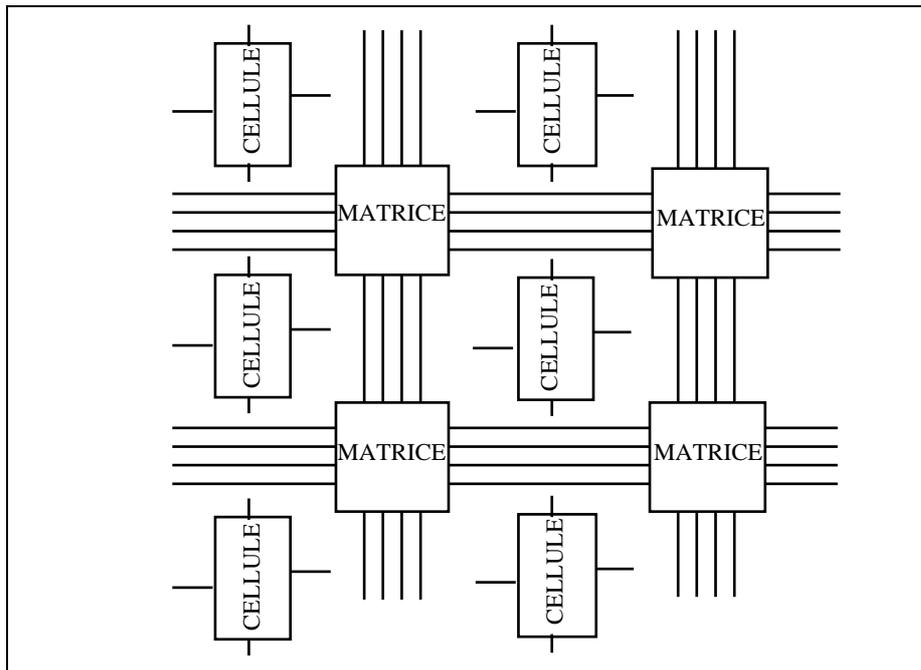
Par la force des choses, les modes de communication entre cellules dépendent de la taille des cellules ainsi Actel dont les cellules sont petites utilise des canaux de ligne de connexion entre les cellules, au contraire Altera dont la cellule de base est beaucoup plus importante peut se contenter d'un élément central d'interconnexion qu'il nomme PIA(*Programmable Interconnect Array*).



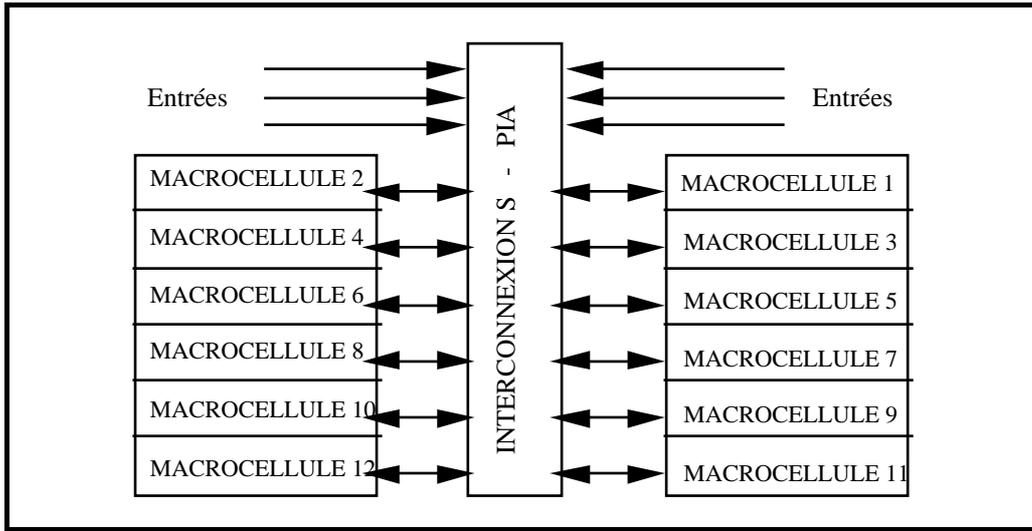
Dispositif d'interconnexion des cellules ACTEL

Les cercles représentent les points de connexion susceptibles d'apparaître après claquage des anti fusibles

Le croquis ci-dessous représente le système d'interconnexion de XILINX les matrices représentées sont en fait multiples à chaque intersection.



Le système de communication entre macrocellules d'ALTERA est plus simple du fait du nombre plus limité de cellules. L'importance des cellules, qui leur confère une moindre souplesse, permet au contraire une plus grande facilité de connexion. Le retard entraîné par la connexion est toujours constant ce qui permet de meilleures prévisions



La connexion programmable.

Chez Actel c'est une connexion physique. Il s'agit d'un antifusible (*PLICE Programmable Low Impédance Element*), c'est à dire le contraire d'un fusible, une mince couche de diélectrique entre deux diffusions. Le claquage du diélectrique et le passage d'un courant de quelques milliampères assure une connexion définitive dont la résistance sera de l'ordre de 500 Ω . Cette technique est reprise par CYPRESS sous le nom de Vialink et met en jeu non plus des diffusions mais du métal.

Altera utilise les transistors à grille isolée des EPROM (effaçable par Ultra Violet) et LATTICE celui des EAROM ou EEPROM (effaçable électriquement).

XILINX a une situation plus originale car ses connexions sont volatiles, ce sont des cellules mémoire (SRAM) qui pilotent les points de connexion. Bien entendu, à chaque mise sous tension le circuit doit être rechargé ce qui empêche un fonctionnement autonome mais permet un test intégral du circuit. Il est donc possible, avant utilisation, de tester aussi bien des cellules que des points de connexion. La technique des fusibles Nickel Chrome des PAL et FPLA semble abandonnée en FPGA.

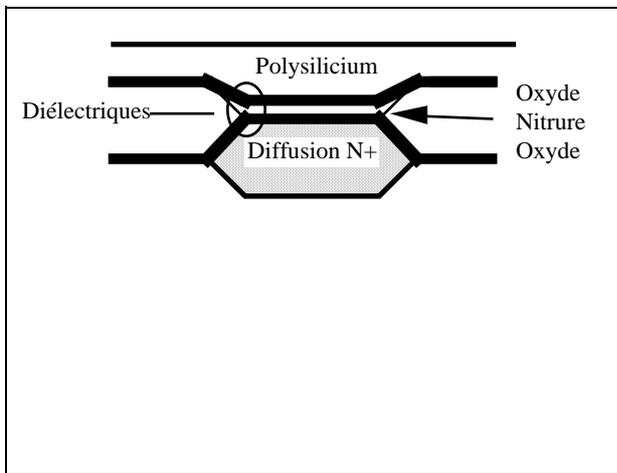


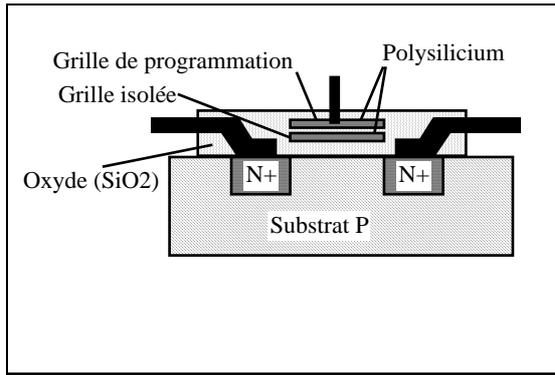
Schéma de l'antifusible PLICE d'ACTEL

Il est constitué de 3 couches de diélectriques Oxyde, Nitrure, Oxyde entre une diffusion N+ et du polysilicium il occupe une surface de 1,8 μm^2

A l'état non programmé il représente une résistance supérieure à 100 M Ω la connexion établie la résistance tombe à 500 Ω . Les circuits ACT 1020 et 1080 comptent 186 000 et 750 000 antifusibles, un claquage de 2 à 3% de ceux-ci permet une utilisation de 85% des portes

C'est la petite taille de l'antifusible PLICE qui permet d'implanter 186000 points de contact potentiel alors que la technologie des fusibles n'en permettrait que 90000.

Le transistor MOS à grille flottante est utilisé dans les EPL il peut être rendu passant par programmation et bloqué en l'exposant au rayonnement ultraviolet



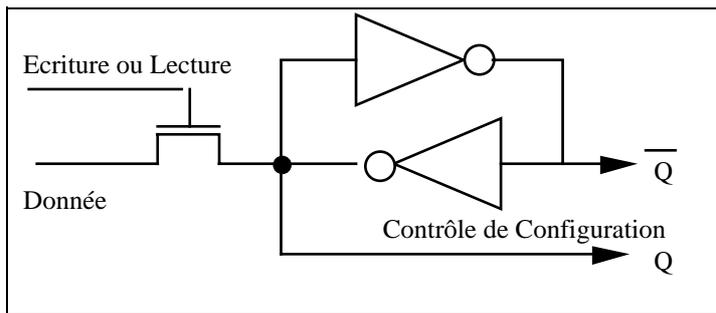
Les transistors à grille isolées sont utilisés dans les EPROM .

En appliquant une tension élevée entre la seconde grille et le drain (25V) des électrons parviennent à migrer certains restent captifs de la grille flottante. Le transistor reste alors passant pour de nombreuses années.

Un apport d'énergie par rayonnement UV, l'oxyde de silicium est transparent, parvient à évacuer les électrons prisonniers de la grille et bloquer le transistor

Si l'on parvient à rendre les épaisseurs d'oxyde très réduites, de l'ordre de 0,01µm, il est possible alors de rebloquer ce transistor à l'aide d'un champ électrique. C'est la technologie employée dans les EAROM (*Electrically Alterable ROM*) ou les EEPROM (*Electrically Erasable PROM*). Cette technique permet un effaçage sélectif des informations qui peut être effectué directement sur la carte électronique. Les composants pouvant être effacés sans démontage, peuvent être soudés au lieu d'être mis sur support ce qui améliore la fiabilité du circuit. Cette technique est utilisée dans les EEPLD

Les circuits Xilinx utilisent des cellules RAM statiques pour piloter les points de connexion. Bien entendu, ces points s'effacent à chaque défaut d'alimentation électrique et le circuit doit être rechargé à la mise sous tension.



Pour positionner la cellule, une donnée (bit) est présentée sur l'entrée Donnée et communiquée aux inverseurs par le transistor rendu passant. Les inverseurs se voient ainsi positionnés et ils s'auto-alimentent lorsque le forçage cesse.

Pour résumer les principales configurations:

FABRICANTS	TECHNOLOGIE	CELLULES	LIAISONS	CONNEXIONS
ACTEL (Accord Texas)	PLD - FPGA	Multiplexeur	Canaux de routage	Anti fusible (PLICE)
ALTERA	EPLD - PAL	MAX (Multiple Array matrix) ET- OU (PAL)	Bus répartiteur central (PIA)	EPROM
ATMEL (Accord IBM)	EPLD - PAL	ET- OU (PAL)	Universal Bus + Regional Bus	EPROM
AMD (MM)	PAL et PLD - LCA	Configurable Logic Block (CLB)	Canaux de routage	SRAM
CYPRESS	EPLD - PAL	ET- OU (PAL)	Néant	EPROM
LATTICE	EEPLD - GAL	ET- OU (PAL)	Néant	EEPROM
XILINX	PLD - PAL	Configurable Logic Block (CLB)	Canaux de routage	SRAM

Les fabricants de ces circuits mettent à la disposition des utilisateurs des logiciels d'aide à la programmation qui pourront partir d'un schéma, d'équations, d'un Grafcet ou d'une description en langage évolué, élaborer le programme de configuration du circuit. Ces circuits qui, à l'origine étaient de modeste capacité, mettent maintenant à la disposition des utilisateurs un nombre considérable de portes logiques.

Il est à noter que ACTEL propose deux sondes programmables intégrées dans le boîtier du FPGA et qui peuvent être positionnées par programme en tous points du FPGA lorsque le circuit est sur son dispositif de programmation "ACTIVATOR". Elles permettent de tester dynamiquement le fonctionnement du circuit.

Dans ce chapitre nous nous limiterons à ces composants programmables. Un cours plus complet est ou sera proposé dans un avenir proche. Il englobera les circuits semi personnalisés et personnalisés. Il sera accessible depuis la page guide du site